

AŘV – Přednášky

ČZU Praha


Témata přednášek z předmětu
AUTOMATICKÉ ŘÍZENÍ TECHNOLOGICKÝCH PROCESŮ

pro 5.roč. TF, akad.r. 2006/07 - zimní semestr

1. Řídicí počítače - realizace a třídění.
2. Spojité a číslicové řídicí systémy.
3. MCS 51 - blokové schéma procesoru, funkce.
4. MCS 51 - hardware procesoru.
5. MCS 51 - hardware podpůrných obvodů.
6. MCS 51 - instrukční soubor.
7. Mikroprocesory odvozené z řady MCS 51 a příklady aplikace ve formě řídicího počítače.
8. Procesory řady SAB 166 - blokové schéma procesoru, funkce.
9. Řada SAB 166 - hardware procesoru.
10. Programové vybavení řady SAB 166.
11. Průmyslový řídicí systém APP a PMP 166.
12. NC, CNC a DNC řídicí systémy.
13. Úvod do problematiky rozpoznávání.
14. Metody rozpoznávání taktilních a vizuálních obrazů.

V Praze dne 29.9.2006

Česká zemědělská univerzita v Praze
TECHNICKÁ FAKULTA
KATEDRA ELEKTROTECHNIKY
A AUTOMATIZACE
165 21 Praha 6 - Suchbát
Tel.: 224 383 192-3 Fax: 234 381 828


Doc. Ing. Jaromír Volf, DrSc.

Program laboratorních cvičení z předmětu
AUTOMATICKÉ ŘÍZENÍ TECHNOLOGICKÝCH PROCESŮ

pro 5. roč. TF, akad.r. 2006/07 - zimní semestr

1. Úvod - seznámení s obsahem předmětu, podmínky zápočtu.
2. Měření přechodové charakteristiky na reálném objektu.
3. Identifikace reálného objektu a přechodové charakteristiky.
4. Základní aplikace s mikrořadiči MCS 51.
5. Základní aplikace s mikrořadiči MCS 51.
6. Řešení regulačního obvodu s mikrořadičem 80C552 řady MCS 51.
7. Řešení regulačního obvodu s mikrořadičem 80C552 řady MCS 51.
8. Řešení regulačního obvodu s mikrořadičem 80C552 řady MCS 51.
9. Řešení regulačního obvodu s mikrořadičem 80C552 řady MCS 51.
10. Řešení regulačního obvodu s mikrořadičem 80C552 řady MCS 51.
11. Řešení regulačního obvodu s 16 bitovým mikrořadičem 80 166 řady SAB 166.
12. Řešení regulačního obvodu s 16 bitovým mikrořadičem 80 166 řady SAB 166.
13. Řešení regulačního obvodu s 16 bitovým mikrořadičem 80 166 řady SAB 166.

Z á p o č e t .

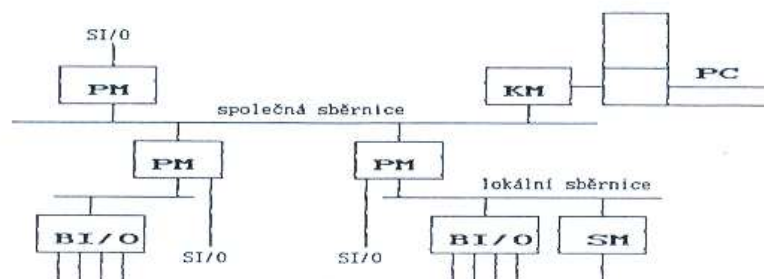
V Praze dne 29.9.2006


Doc. Ing. Jaromír Volf, DrSc.

Česká zemědělská univerzita v Praze
TECHNICKÁ FAKULTA
KATEDRA ELEKTROTECHNIKY
A AUTOMATIZACE
165 21 Praha 6 - Suchbátův
Tel.: 224 383 192-3 Fax: 234 381 828 ①

Zkouškové otázky z předmětu
AUTOMATICKÉ ŘÍZENÍ TECHNOLOGICKÝCH PROCESŮ
pro 5. roč. TF, akad.r. 2006/07 - zimní semestr

1. Co je řídicí systém a jaké má vlastnosti.
2. Jaké jsou typy řídicích systémů.
3. Uspořádání řídicích systémů, úrovně - jejich význam.
4. Jaký je rozdíl mezi logickým automatem a řídicím systémem.
5. Jaké znáte logické automaty, popište základní strukturu a funkci.
6. Jaké znáte řídicí systémy, popište základní strukturu a funkci.
7. Struktura a funkce MCS 51.
8. Popis mikropočítačů MCS 51, signály, užití.
9. Uspořádání paměti u MCS 51.
10. Způsoby adresování paměti u MCS 51.
11. Funkce a vlastnosti sběrnic MCS 51.
12. Funkce a vlastnosti CPU u MCS 51.
13. Funkce a vlastnosti čítačů/časovačů u MCS 51.
14. Způsoby přerušení programu a jejich obsluha u MCS 51.
15. Funkce a vlastnosti sériového kanálu u MCS 51.
16. Speciální funkční registry u MCS 51.
17. Funkce speciálního funkčního registru PWS u MCS 51.
18. Funkce speciálního funkčního registru TCON u MCS 51.
19. Funkce speciálního funkčního registru TMOD u MCS 51.
20. Funkce speciálního funkčního registru SCON u MCS 51.
21. Charakterizujte instrukční soubor u MCS 51.
22. Rozšíření paměti u MCS 51.
23. Řešení systému s mikropočítačem MCS 51.
24. Charakterizujte procesor řady 535, v čem se liší od MCS 51.
25. Charakterizujte procesor řady 537, v čem se liší od MCS 51.
26. Charakterizujte procesor řady 552, v čem se liší od MCS 51.
27. Řídicí systém s užitím MCS 51 a jejich derivátů.
28. Struktura a funkce SAB 166.
29. Popis mikroprocesoru SAB 166, signály, užití.
30. Uspořádání paměti SAB 166.
31. Funkce a vlastnosti sběrnic SAB 166.
32. Funkce a vlastnosti čítačů/časovačů u SAB 166.
33. Uspořádání, funkce a vlastnosti jednotky CAPCOM u SAB 166.
34. Co je obvod Watchdog a k čemu slouží.
35. Funkce a vlastnosti CPU u SAB 166.
36. Rozšíření paměti u SAB 166.
37. Rozšíření systému s mikroprocesorem SAB 166.
38. Řídicí systém s mikroprocesorem SAB 166.
39. Charakterizujte NC systémy.
40. Charakterizujte CNC systémy.
41. Charakterizujte DNC systémy.
42. Popište rozdíl mezi PTP a CP řízením.
43. Popište základní skupinu metod rozpoznávání obrazů a rozdíly mezi nimi.
44. Charakterizujte příznakové metody.
45. Charakterizujte strukturální metody.
46. Jaký je rozdíl mezi metodami pro zpracování vizuálního a taktilního obrazu.



PM procesorový modul, tj. jednotka obsahující charakteristické funkční bloky mikropočítače (CPU, paměti, řadiče přerušení, čítače/časovače, vstupy/výstupy) včetně řadičů připojených sběrnic

KM komunikační modul, tj. procesorový modul vytvářející prostředí běžného osobního počítače (např. AT386), umožňující připojení klávesnice a monitoru, určený pro komunikaci řídicího systému s obsluhou

BI/O jednotky binárních (logických) vstupů a výstupů - viz logický automat

SI/O sériový komunikační kanál

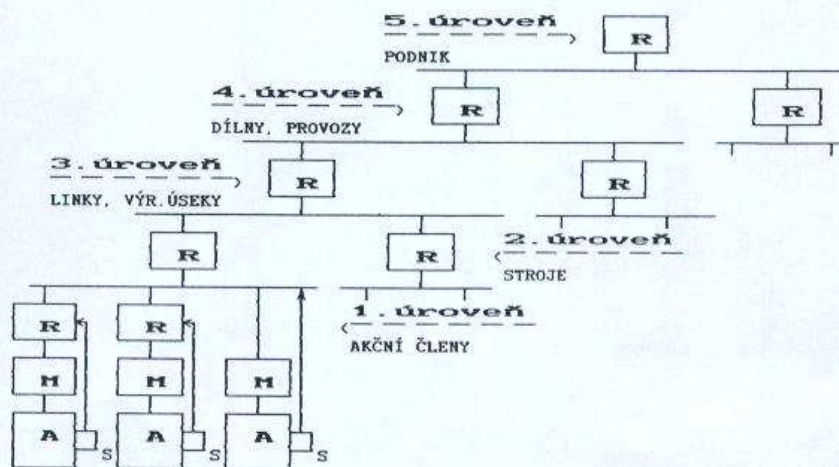
SM speciální modul, tj. procesorový modul určený pro konkrétní řídicí aplikaci, např. pro řízení měniče pohonu.

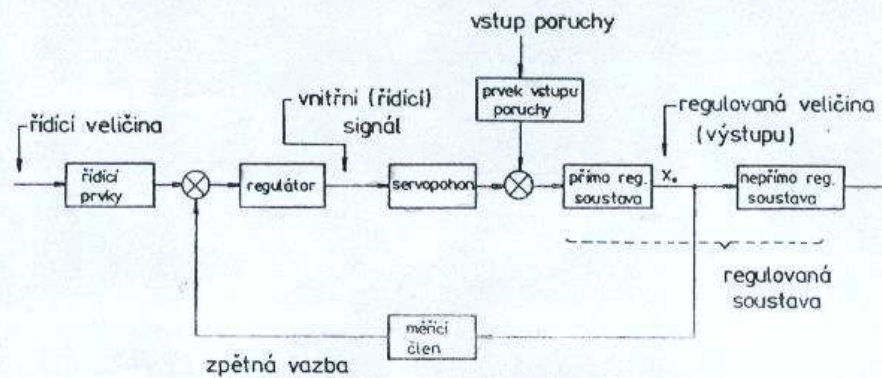
Výrobci: AEG : MODCOMP

Cegelec : SYCOREG

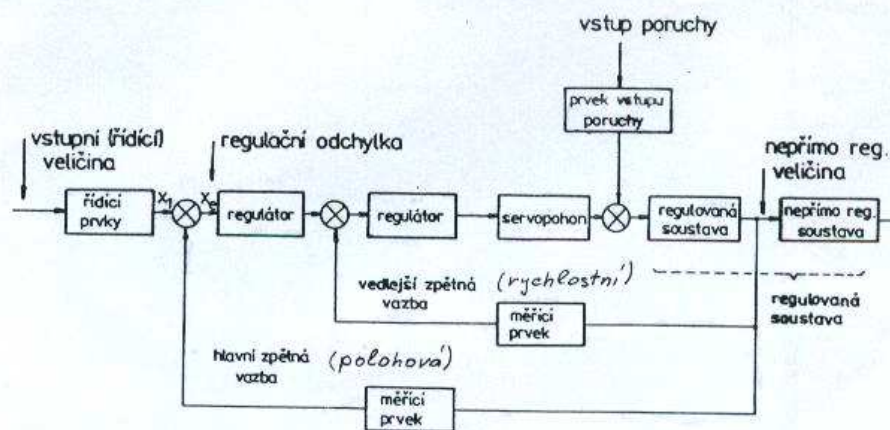
Siemens: SIMADYN, SIMICRO

ZPA : NURIS

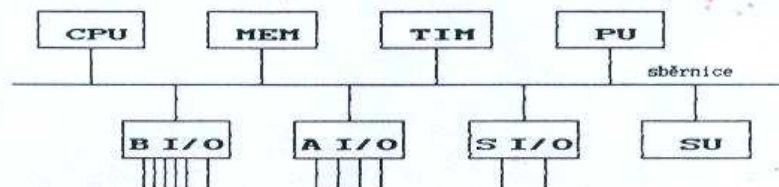




Základní blokové schéma servomechanismu s jednou zpětnou vazbou



Základní blokové schéma servomechanismu se dvěma zpětnými vazbami



- CPU** centrální procesorová jednotka, obsahující univerzální mikroprocesor, příp. s matematickým koprocесorem a se specializovaným logickým procesorem
- MEM** paměťová jednotka se zálohovanou RWM-pamětí pro program i data, kapacity řádově jednotek až stovek KB, popřípadě s EPROM-pamětí pro pevný program zajišťující základní funkce automatu; lze volit paměťové jednotky různé kapacity příp. je řadit vedle sebe
- TIM** jednotka čítačů a časovačů s volitelnou kapacitou a programovatelnou časovou jednotkou vnitřních hodin
- PU** programovací jednotka s klávesnicí a displejem pro tvorbu a ladění programu přímo na automatu, s možností diagnostiky automatu příp. i řízeného procesu; jinou možností je zadávání programu sériovým datovým přenosem z nadřazené řídicí úrovně nebo z externího počítače s vhodným programovým vybavením
- BI/O** jednotky binárních (logických) vstupů a výstupů, obvykle s galvanickým oddělením a napětovým či výkonovým přizpůsobením parametrů signálu vhodných pro přenos: např. 5, 12, 24, 48, 120 V DC nebo 115, 230 V AC, zatížitelnost výstupu např. 0.25, 0.5, 1 nebo 2 A; opět lze volit jednotky s vhodným počtem kanálů a napětovou či proudovou úrovní, i řadit jednotky vedle sebe; jednotlivé vstupy a výstupy bývají opatřeny optickou signalizací logické úrovně
- AI/O** jednotky analogových vstupů a výstupů standardizovaných úrovní, např. 1-5 V, 0-10 V, +/-10V, 4-20 mA apod.; lze volit i speciální jednotky např. pro připojení odporového termočlánku apod.
- SI/O** jednotka sériového vstupu a výstupu pro komunikaci s řídicími bloky nadřazených či podřazených úrovní, s některým ze standardizovaných přenosových protokolů
- SU** speciální jednotky pro připojení konkrétního technického zařízení nebo pro speciální řídicí funkce

Výrobci: ABB : PROCONTIC

AEG : MODICON

Siemens : SIMATIC

Tesla Kolín : NS

Tab. 6.10

Typ mikropočítače	Paměť programu (byte)	Paměť dat (byte)	Počet I/O portů x počet bitů	Přerušení vnější/ vnitřní	Vnitřní řítač/ délka (bity)
8051	ROM 4k	128 + SFR	4 x 8	2/3	2 x 16
8751	EPROM 4k	128 + SFR	4 x 8	2/3	2 x 16
8031	-	128 + FR	4 x 8	2/3	2 x 16
8052	ROM 8k	256 + FR	4 x 8	2/4	3 x 16
8032	-	256 + FR	4 x 8	2/4	3 x 16
8044	ROM 4k	192 + FR	4 x 8	2/3	2 x 16
8744	EPROM 4k	192 + FR	4 x 8	2/3	2 x 16
8344	-	192 + FR	4 x 8	2/3	2 x 16

$$U_0 = U_I \cdot \frac{R_2}{R_1 + R_2} \quad (2.15)$$

Náhradní hodnotu rezistoru R_i vypočteme dle obr. 2.12c, kde jsme zkratovali zdroj napětí

$$R_i = \frac{R_1 R_2}{R_1 + R_2} \quad (2.16)$$

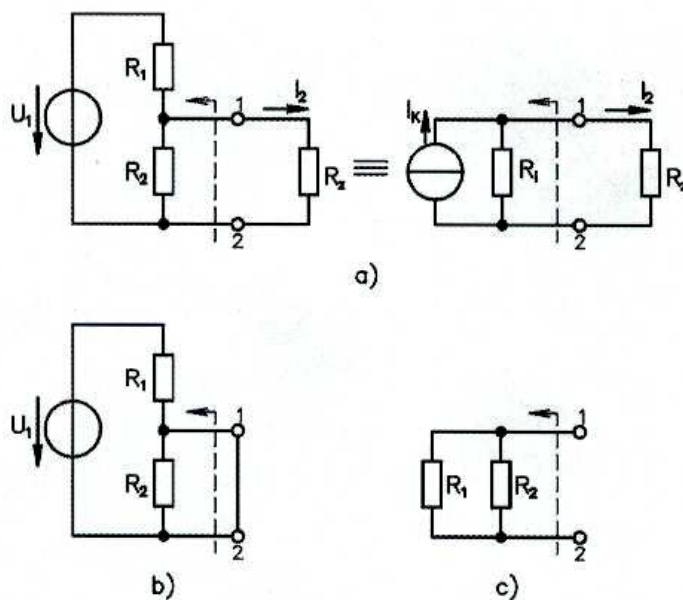
2.3.3.1 NORTONŮV TEORÉM

Lineární obvod obsahující libovolný počet zdrojů a rezistorů můžeme z hlediska jedné uzlové dvojice nahradit paralelním spojením ideálního zdroje proudu I_K a rezistoru R_i .

Velikost proudu I_K náhradního zdroje je roven tzv. proudu nakrátko (proudem nakrátko nazýváme proud, který by tekł spojením uzlů dvojice).

Velikost náhradního rezistoru R_i je rovna odporu, který by byl mezi uzlovou dvojicí, kdybychom zdroj napětí zkratovali a zdroj proudu rozpojili.

Nortonův teorém budeme aplikovat na obvod nakreslený na obr. 2.13a (z důvodů, které budou uvedeny na konci této kapitoly, jsme volili stejný obvod jako pro náhradu pomocí Theveninova teorému).



Obr. 2.13

Proud nakrátko I_K (při $R_Z = 0$) tekoucí spojením mezi uzly 1-2 vypočteme podle obr. 2.13b.

$$I_K = \frac{U_I}{R_I} \quad (2.17)$$

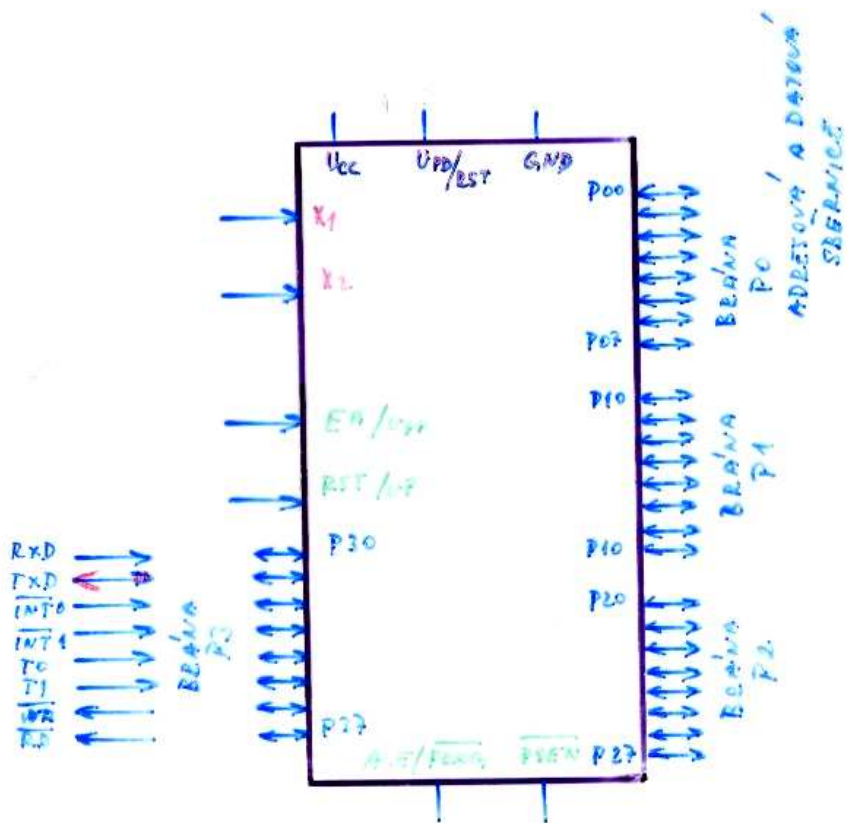
Náhradní hodnotu rezistoru R_i vypočteme dle obr. 2.13c, kde jsme zkratovali zdroj napětí (porovnejte obr. 2.12c a obr. 2.13c, jsou stejné).

$$R_i = \frac{R_1 R_2}{R_1 + R_2} \quad (2.18)$$

BRANA P3

P30	RxD	seriový vst. port	
P31	TxD	seriový výst. port	
P32	<u>INT0</u>	vstup vnějšího přerušení	0
P33	<u>INT1</u>	— " —	1
P34	TO	vnější vstup čít./čas	0
P35	T1	— " —	1
P36	<u>WR</u>	zápis do vnější paměti dat	
P37	<u>RD</u>	čtení z vnější paměti dat	

MCS 51



SPECIÁLNÍ FUNKČNÍ REGISTRY

Tab. 6.15

Registr	Název	Funkce	Adresa	
A	Accumulator (střadač	střadač	0E0H	224
B	Register B	pomocný registr pro násobení a dělení, jinak je volně použitelný	0F0H	240
PSW	Program Status Word	stavové slovo programu	0D0H	208
SP	Stack Pointer	ukazatel zásobníku	81H	129
DPTR	Data Pointer	ukazatel dat - šestnácti-	82H	130
	- low byte	bitový registr, jehož	83H	131
	- high byte	poloviny mohou být adresovány nezávisle		
P0	Port 0	vyr. paměť brány 0	80H	128
P1	Port 1	vyr. paměť brány 1	90H	144
P2	Port 2	vyr. paměť brány 2	0A0H	160
P3	Port 3	vyr. paměť brány 3	0B0H	176
IP	Interrupt	přidělení priority zdro-	0B8H	184
	Priority	jím přerušeni		
	Control			
IE	Interrupt	povolení přerušeni	A8H	168
	Enable	z určitého zdroje		
	Control			
TMOD	Timer/Counter Mode Control	režim práce čítačů/časovačů	89H	137
TCON	Timer/Counter Control	řízení provozu čítačů/časovačů	0C8H	200
TH0	Timer/Counter 0 - high byte	vyšší byte a čítače/časovače	8CH	140

pokr. tab. 6.15

TLO	Timer/Counter nižší byte čítače/číta- 0 - low byte sovače	8AH	138
TH1	Timer/Counter vyšší byte čítače/číta- 1 - high byte sovače 1	8DH	141
TL1	Timer/Counter nižší byte čítače/číta- 1 - low byte sovače 1	8BH	139
SCON	Serial řízení seriového kanálu Control	98H	152
SBUF	Serial Data vyrovnávací paměť ser. Buffer kanálu	99H	153
PCON	Power řízení napájení Control	87H	135

REGISTR STAVOVÉHO SLOVA

MCS 51

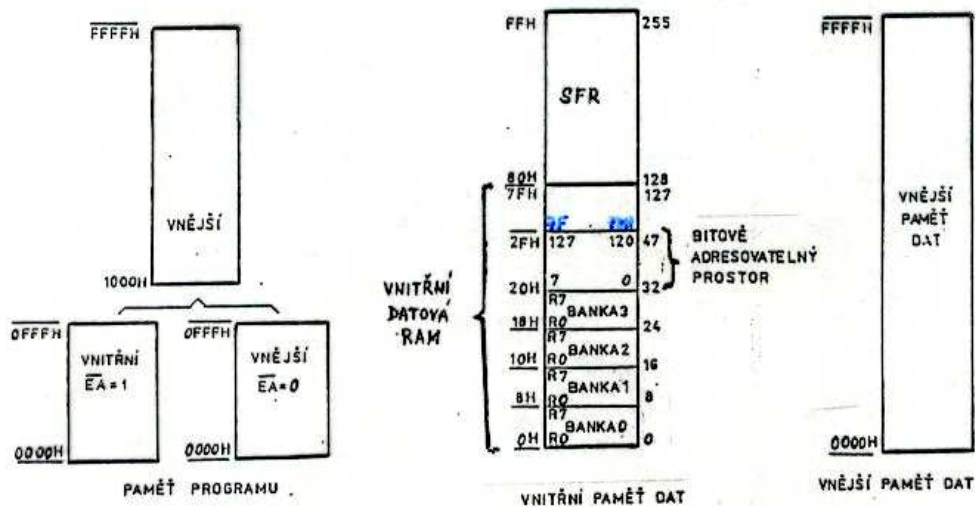
PSW

Tab. 6.16

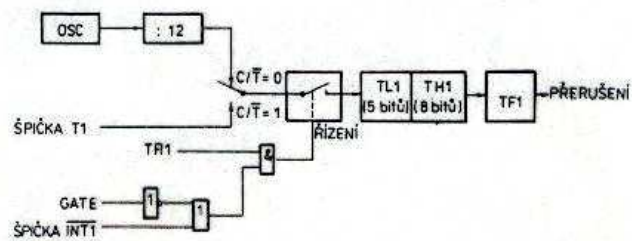
Bit	Označení	Název	Význam															
	bitu																	
0	P	Parity Flag (Parita)	Paritní bit - je nastavován /nulován v každém instrukčním cyklu a indikuje lichý/sudý počet jedniček ve střadači. Doplnjuje jeho obsah na sudou paritu (sudý počet jedniček).															
1	-		Rezerva															
2	OV	Overflow Flag (přetečení)	Indikuje přetečení střadače															
3,4	RS0, RS1	Registr Bank Select	Řídící bity pro výběr sady registrů <table><tr><td>RS1</td><td>RS0</td><td>sada</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>2</td></tr><tr><td>1</td><td>1</td><td>3</td></tr></table>	RS1	RS0	sada	0	0	0	0	1	1	1	0	2	1	1	3
RS1	RS0	sada																
0	0	0																
0	1	1																
1	0	2																
1	1	3																
5	FO	Flag 0 (Uživatel- ský příznak)	Uživatelem programově nastavitelný															
6	AC	Auxiliary Carry (pomocný přenos)	Používá se při dekadické úpravě a operacích s čísly v BCD kódu															
7	CY	Carry (Přenos)	Bit přenosu, zároveň střadač pro Booleovský procesor															

7	6	5	4	3	2	1	0
CY	AC	FO	RS1	RS0	OV	-	P

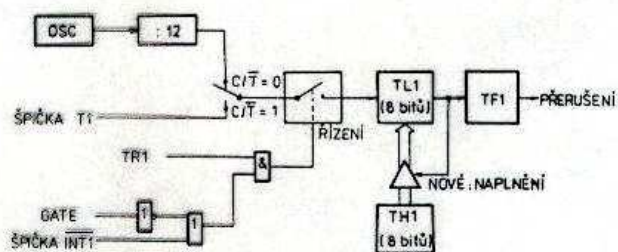
ROZDĚLENÍ PAMĚTI MCS 51



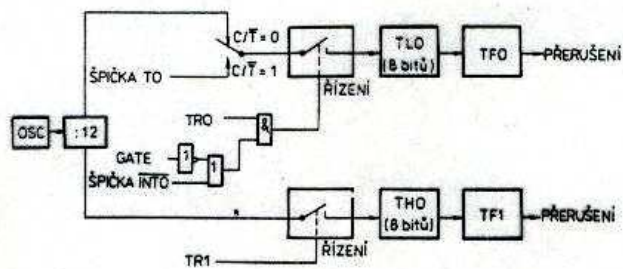
Adresa	Zdroj přerušení
0003H	vnější přerušení 0
000BH	přetečení registru čítače/časovače 0
0013H	vnější přerušení 1
001BH	přetečení registru čítače/časovače 1
0023H	sériový kanál



Časovač/čítač 1, režim 0: třináctibitový čítač



Časovač/čítač 1, režim 2: osmibitový samoplňací čítač



Časovač/čítač 0, režim 3: dva osmibitové čítače

(v. ř.)		T M O D				(n. ř.)	
GATE	C/T	M1	MO	GATE	C/T	M1	MO
ČASOVAČ 1				ČASOVAČ 0			

Symbol	Význam																	
GATE	Řízení hradlování. Při GATE = 1 je časovač/čítač "x" povolen pouze tehdy, má-li špička "INTx" logickou hodnotu 1 a je-li současně nastaven řídicí bit "TRx". Při GATE = 0 je časovač/čítač "x" povolen vždy, kdykoliv je nastaven řídicí bit "TRx".																	
C/T	Výběr časovače nebo čítače. C/T = 0 - činnost v režimu časovač (vstup z vnitřního zdroje hodin); C/T = 1 - činnost v režimu čítač (vstup z vnějších špiček "Tx").																	
M1, MO	Pracovní režim. <table><tr><th>M1</th><th>MO</th></tr><tr><td>0</td><td>0</td><td>- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.</td></tr><tr><td>0</td><td>1</td><td>- šestnáctibitový časovač/čítač. "TRx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.</td></tr><tr><td>1</td><td>0</td><td>- osmibitový samoplňací časovač/čítač. "TRx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.</td></tr><tr><td>1</td><td>1</td><td>- <u>časovač 0</u>: TLO je osmibitový časovač nebo čítač řízený standardními řídicími bity časovače 0.</td></tr><tr><td>1</td><td>1</td><td>- <u>časovač 1</u>: Časovač/čítač 1 je zastaven.</td></tr></table>	M1	MO	0	0	- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.	0	1	- šestnáctibitový časovač/čítač. "TRx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.	1	0	- osmibitový samoplňací časovač/čítač. "TRx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.	1	1	- <u>časovač 0</u> : TLO je osmibitový časovač nebo čítač řízený standardními řídicími bity časovače 0.	1	1	- <u>časovač 1</u> : Časovač/čítač 1 je zastaven.
M1	MO																	
0	0	- časovač jako u obvodů 8048. "TLx" má funkci pětibitového předřazeného děliče.																
0	1	- šestnáctibitový časovač/čítač. "TRx" a "TLx" jsou spojeny do kaskády, předřazený dělič není.																
1	0	- osmibitový samoplňací časovač/čítač. "TRx" obsahuje (drží) hodnotu, kterou má být znovu naplněn "TLx" vždy, když přeteče.																
1	1	- <u>časovač 0</u> : TLO je osmibitový časovač nebo čítač řízený standardními řídicími bity časovače 0.																
1	1	- <u>časovač 1</u> : Časovač/čítač 1 je zastaven.																

(v. F.)

T C O N

(n. F.)

TF1	TR1	TFO	TRO	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

Symbol	Pozice	Název a význam
TF1	TCON.7	Příznak přetečení časovače 1 (<u>T</u> imer 1 <u>o</u> verflow <u>F</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.
TR1	TCON.6	Řídicí bit běhu časovače 1 (<u>T</u> imer 1 <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
TFO	TCON.5	Příznak přetečení časovače 0 (<u>T</u> imer 0 <u>o</u> verflow <u>F</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.
TRO	TCON.4	Řídicí bit běhu časovače 0 (<u>T</u> imer 0 <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
IE1	TCON.3	Příznak hrany přerušení 1 (<u>I</u> nterrupt 1 <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT1	TCON.2	Řídicí bit typu přerušení 1 (<u>I</u> nterrupt 1 <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušení.
IE0	TCON.1	Příznak hrany přerušení 0 (<u>I</u> nterrupt 0 <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT0	TCON.0	Řídicí bit typu přerušení 0 (<u>I</u> nterrupt 0 <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušení.

(v. ř.)

T C O N

(n. ř.)

TF1	TR1	TFO	TRO	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

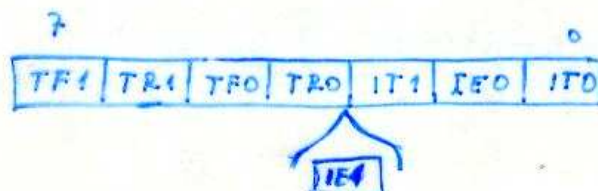
Symbol	Pozice	Název a význam
TF1	TCON.7	Příznak přetečení časovače 1 (<u>T</u> imer 1 <u>o</u> verflow <u>f</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.
TR1	TCON.6	Řídicí bit běhu časovače 1 (<u>T</u> imer 1 <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
TFO	TCON.5	Příznak přetečení časovače 0 (<u>T</u> imer 0 <u>o</u> verflow <u>f</u> lag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušení.
TRO	TCON.4	Řídicí bit běhu časovače 0 (<u>T</u> imer 0 <u>R</u> un control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
IE1	TCON.3	Příznak hrany přerušení 1 (<u>I</u> nterrupt 1 <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT1	TCON.2	Řídicí bit typu přerušení 1 (<u>I</u> nterrupt 1 <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nizkou úrovní spouštěná vnější přerušení.
IE0	TCON.1	Příznak hrany přerušení 0 (<u>I</u> nterrupt 0 <u>E</u> dge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušení. Nuluje se při zpracování přerušení.
IT0	TCON.0	Řídicí bit typu přerušení 0 (<u>I</u> nterrupt 0 <u>T</u> ype control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nizkou úrovní spouštěná vnější přerušení.

ŘÍDÍCI REGISTRE ČÍTAČŮ/ČASOVAČŮ TCON

MCS 51

Tab. 6.17

Bit	Označení	Název	Význam
		bitu	
0	ITO	Interrupt 0 Type control bit	Řídicí bit přerušení 0. Určuje způsob aktivace přeru- šení 0 - úrovní, 1 - spádovou hranou
1	IE0	Interrupt 0 Edge Flag	Příznak hrany přerušení 1 Nastaven při detekci hrany, nuluje se automaticky obsluhou přerušení
2	IT1		Shodné s ITO a IE0, avšak pro přerušení 1.
3	IE1		
4	TRO	Timer 0 Run Control bit	Řídicí bit běhu čítače/časova- če 0
5	TFO	Timer 0 Overflow Flag	Příznak přetečení čítače/časovače 0
6	TR1		Shodné s TRO a TFO, avšak pro čítač/časovač 1.
7	TF1		



ŘÍDÍCÍ REGISTR SCON SÉRIOVÉHO KANÁLU

Tab. 6.13

Bit	Označení	Název	Význam
0	RI	Received Interrupt Flag	Příznak přerušení při příjmu. Nulování musí být programem.
1	TI	Transmit Interrupt Flag	Příznak přerušení při vysílání. Nulování musí být programem.
2	RB8	Received Bit 8	Devátý datový bit při příjmu v rež. 2 a 3.
3	TB8	Transmitted	Devátý datový bit při vysílání v rež. 2 a 3.
4	REN	Reception Enable	Povolení sériového příjmu
5	SM2	Serial Mode 2	Povolení víceprocesorové komunikace v rež. 2 a 3.
6-7	SM1-SM0	Serial Mode	Určení režimu sériového kanálu

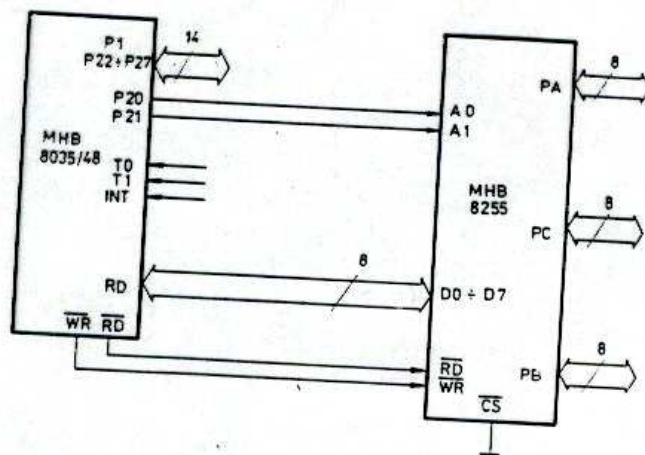
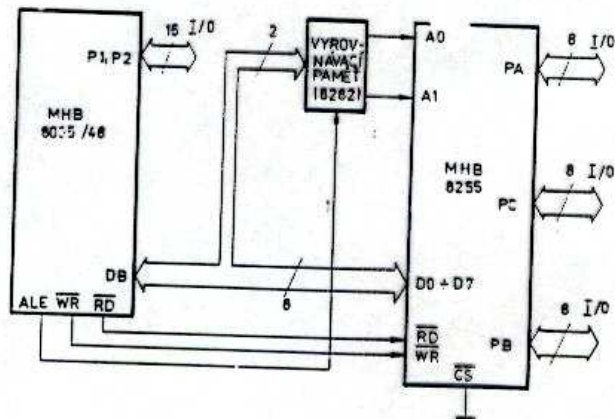
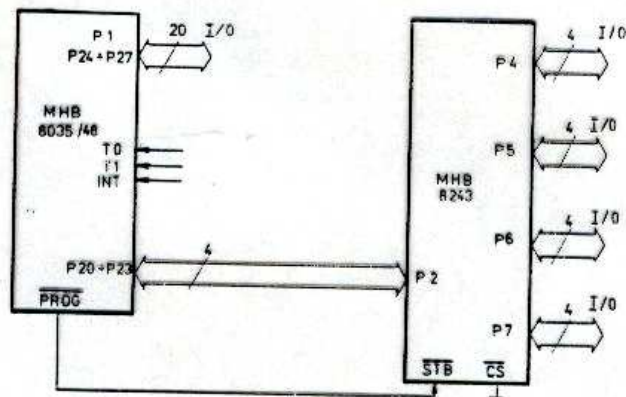
SM0	SM1	režim
0	0	0
0	1	1
1	0	2
1	1	3

7

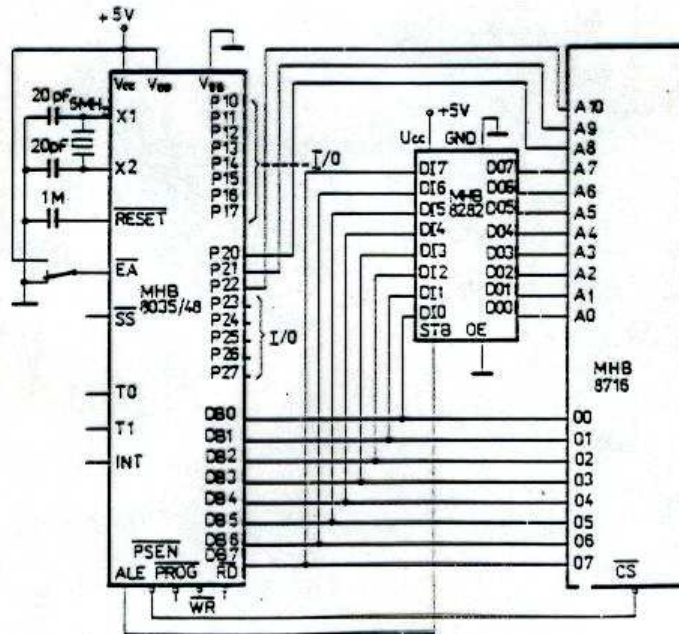
SH0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

0 (452)

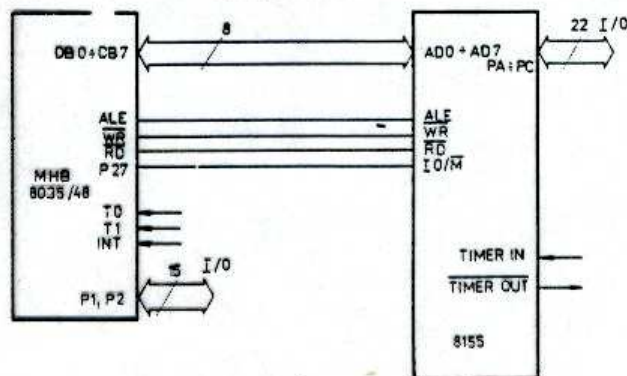
ROZŠÍŘENÍ VSTUPŮ - VÝSTUPŮ



ROZŠÍŘENÍ PAMĚTI PROGRAMU



ROZŠÍŘENÍ PAMĚTI DAT



Příloha II - Funkční přehled instrukcí mikroprocesoru řady 51

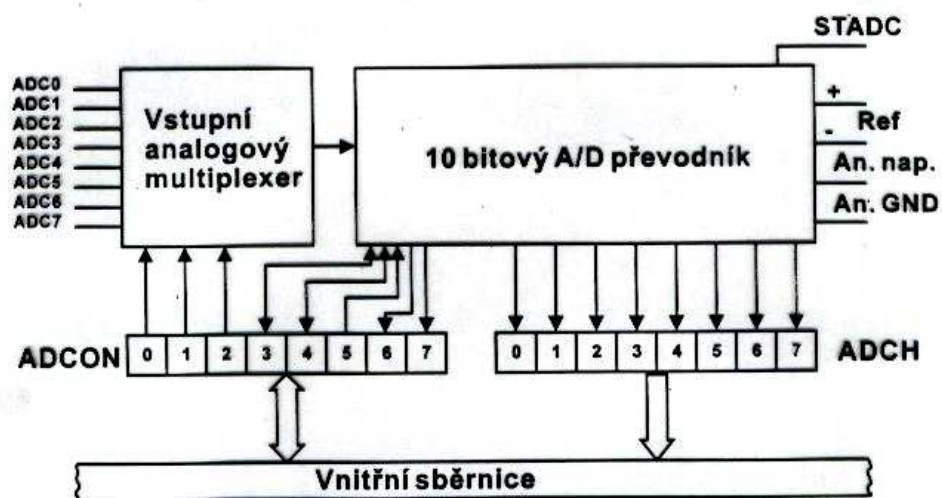
	Symbol	Význam	Byte	Cykly
ARITHMETIC OPERATIONS	ADD A,Rn	Add register to Accumulator	1	1
	ADD A,direct	Add direct byte to Accumulator	2	1
	ADD A,@R1	Add indirect RAM to Accumulator	1	1
	ADD A,#data	Add immediate data to Accumulator	2	1
	ADDC A,Rn	Add register to Accumulator with Carry	1	1
	ADDC A,direct	Add direct byte to A with Carry flag	2	1
	ADDC A,@R1	Add indirect RAM to A with Carry flag	1	1
	ADDC A,#data	Add immediate data to A with Carry flag	2	1
	SUBB A,Rn	Subtract register from A with Borrow	1	1
	SUBB A,direct	Subtract direct byte from A with Borrow	2	1
	SUBB A,@R1	Subtract indirect RAM from A with Borrow	1	1
	SUBB A,#data	Subtract immediate data from A with Borrow	2	1
	INC A	Increment Accumulator	1	1
	INC Rn	Increment register	1	1
	INC direct	Increment direct byte	2	1
	INC @R1	Increment indirect RAM	1	1
	INC DPTR	Increment Data Pointer	1	2
	DEC A	Decrement Accumulator	1	1
	DEC Rn	Decrement register	1	1
	DEC direct	Decrement direct byte	2	1
LOGICAL OPERATIONS	DEC @R1	Decrement indirect RAM	1	1
	MUL AB	Multiply A & B	1	4
	DIV AB	Divide A by B	1	4
	DA A	Decimal Adjust Accumulator	1	1
	JNL A,Rn	AND register to Accumulator	1	1
	ANL A,direct	AND direct byte to Accumulator	2	1
	ANL A,@R1	AND indirect RAM to Accumulator	1	1
	ANL A,#data	AND immediate data to Accumulator	2	1
	ANL direct,A	AND Accumulator to direct byte	2	1
	ANL direct,#data	AND immediate data to direct byte	3	2
	ORL A,Rn	OR register to Accumulator	1	1
	ORL A,direct	OR direct byte to Accumulator	2	1
	ORL A,@R1	OR indirect RAM to Accumulator	1	1
	ORL A,#data	OR immediate data to Accumulator	2	1
	ORL direct,A	OR Accumulator to direct byte	2	1
	ORL direct,#data	OR immediate data to direct byte	3	2
	XRL A,Rn	Exclusive-OR register to Accumulator	1	1
	XRL A,direct	Exclusive-OR direct byte to Accumulator	2	1
	XRL A,@R1	Exclusive-OR indirect RAM to A	1	1
	XRL A,#data	Exclusive-OR immediate data to A	2	1
	XRL direct,A	Exclusive-OR Accumulator to direct byte	2	1
	XRL direct,#data	Exclusive-OR immediate data to direct	3	2
	CLR A	Clear Accumulator	1	1
	CPL A	Complement Accumulator	1	1
	RL A	Rotate Accumulator Left	1	1

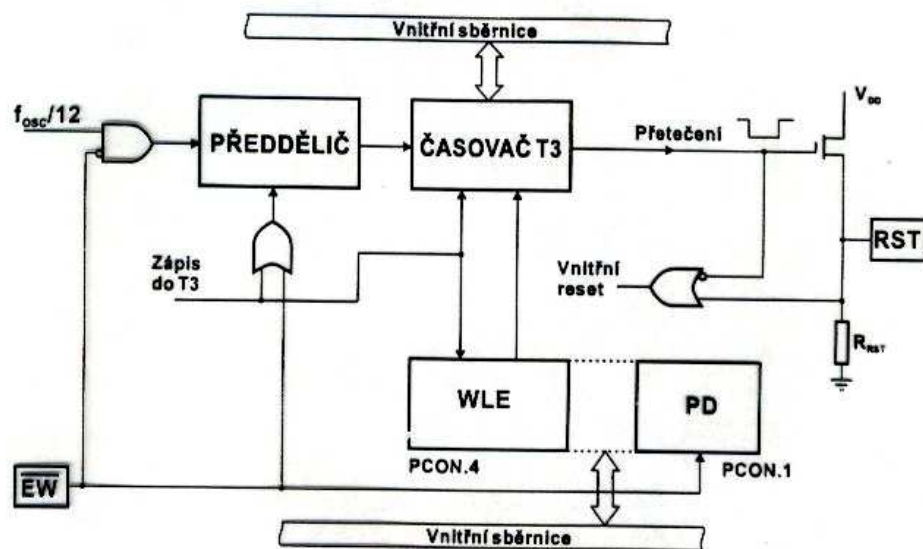
Příloha II - Punctní přehled instrukcí mikroprocesoru řady 51

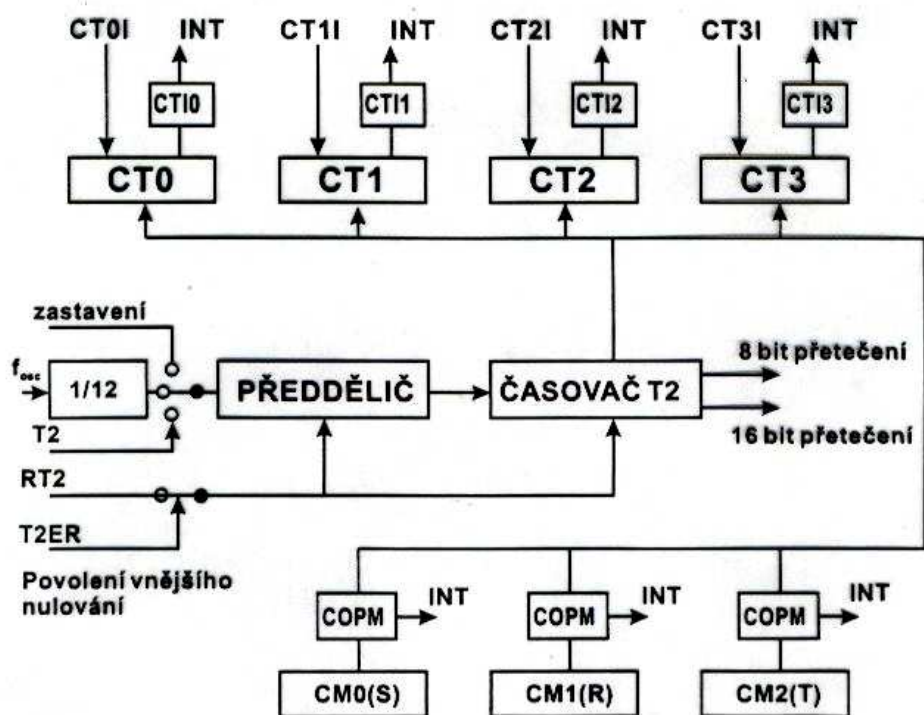
	Symbol	Význam	Byte	Cyklus
ARITHMETIC OPERATIONS	ADD A,Rn	Add register to Accumulator	1	1
	ADD A,direct	Add direct byte to Accumulator	2	1
	ADD A,@R1	Add indirect RAM to Accumulator	1	1
	ADD A,#data	Add immediate data to Accumulator	2	1
	ADDC A,Rn	Add register to Accumulator with Carry	1	1
	ADDC A,direct	Add direct byte to A with Carry flag	2	1
	ADDC A,@R1	Add indirect RAM to A with Carry flag	1	1
	ADDC A,#data	Add immediate data to A with Carry flag	2	1
	SUBB A,Rn	Subtract register from A with Borrow	1	1
	SUBB A,direct	Subtract direct byte from A with Borrow	2	1
	SUBB A,@R1	Subtract indirect RAM from A with Borrow	1	1
	SUBB A,#data	Subtract immed data from A with Borrow	2	1
	INC A	Increment Accumulator	1	1
	INC Rn	Increment register	1	1
	INC direct	Increment direct byte	2	1
	INC @R1	Increment indirect RAM	1	1
	INC DPTR	Increment Data Pointer	1	2
	DEC A	Decrement Accumulator	1	1
	DEC Rn	Decrement register	1	1
	DEC direct	Decrement direct byte	2	1
LOGICAL OPERATIONS	DEC @R1	Decrement indirect RAM	1	1
	MUL AB	Multiply A & B	1	4
	DIV AB	Divide A by B	1	4
	DA A	Decimal Adjust Accumulator	1	1
	ANL A,Rn	AND register to Accumulator	1	1
	ANL A,direct	AND direct byte to Accumulator	2	1
	ANL A,@R1	AND indirect RAM to Accumulator	1	1
	ANL A,#data	AND immediate data to Accumulator	2	1
	ANL direct,A	AND Accumulator to direct byte	2	1
	ANL direct,#data	AND immediate data to direct byte	3	2
	ORL A,Rn	OR register to Accumulator	1	1
	ORL A,direct	OR direct byte to Accumulator	2	1
	ORL A,@R1	OR indirect RAM to Accumulator	1	1
	ORL A,#data	OR immediate data to Accumulator	2	1
	ORL direct,A	OR Accumulator to direct byte	2	1
	ORL direct,#data	OR immediate data to direct byte	3	2
	XRL A,Rn	Exclusive-OR register to Accumulator	1	1
	XRL A,direct	Exclusive-OR direct byte to Accumulator	2	1
	XRL A,@R1	Exclusive-OR indirect RAM to A	1	1
	XRL A,#data	Exclusive-OR immediate data to A	2	1
	XRL direct,A	Exclusive-OR Accumulator to direct byte	2	1
	XRL direct,#data	Exclusive-OR immediate data to direct	3	2
	CLR A	Clear Accumulator	1	1
	CPL A	Complement Accumulator	1	1
	RL A	Rotate Accumulator Left	1	1

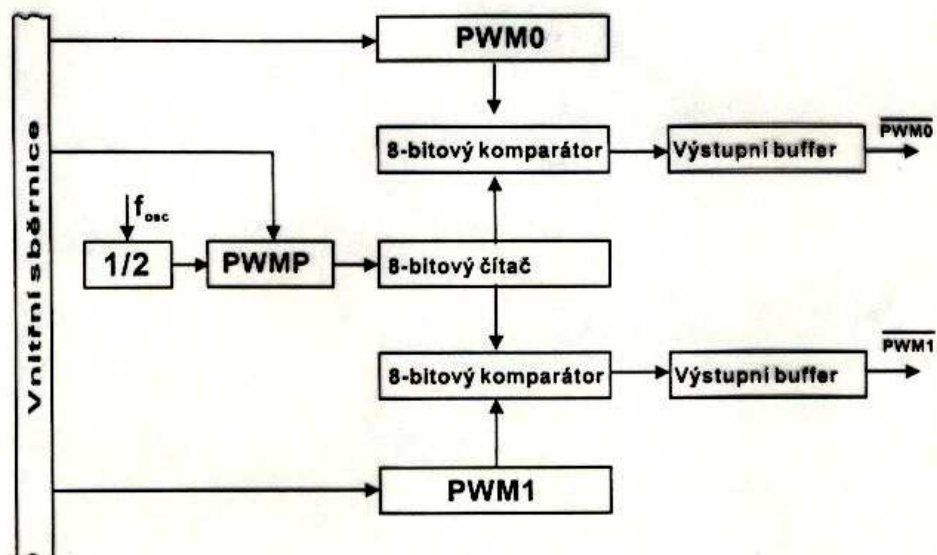
Příloha II -

	Symbol	Význam	Byte	Cyklus
PROGRAM AND MACHINE CONTROL	ACALL addr11	Absolute Subroutine Call	2	2
	LCALL addr16	Long Subroutine Call	3	2
	PET	Return from subroutine	1	2
	RETI	Return from interrupt	1	2
	AJMP addr11	Absolute Jump	2	2
	LJMP addr16	Long Jump	3	2
	SJMP rel	Short Jump /relative addr/	2	2
	JMP @A+DPTR	Jump indirect relative to the DPTR	2	2
	JZ rel	Jump if Accumulator is Zero	2	2
	JNZ rel	Jump if Accumulator is Not Zero	2	2
	JC rel	Jump if Carry flag is set	2	2
	JNC rel	Jump if No Carry flag	2	2
	JB bit,rel	Jump if direct Bit set	3	2
	JNB bit,rel	Jump if direct Bit Not set	3	2
	JBC bit,rel	Jump if direct Bit is set & Clear bit	3	2
	CJNE A, direct, rel	Compare direct to A & Jump if Not Equal	3	2
	CJNE A, #data, rel	Comp. immed. to A & Jump if Not Equal	3	2
	CJNE Rn, #data, rel	Comp. immed. to reg & Jump if Not Equal	3	2
	CJNE @Ri, #data, rel	Comp. immed. to ind. & Jump if Not Equal	3	2
	DJNZ Rn, rel	Decrement register & Jump if Not Zero	2	2
	DJNZ direct, rel	Decrement direct & Jump if Not Zero	3	2
	NOP	No operation	1	1
<p>Pozn: Rn - pracovní registr R0-R7 direct - adresa interní paměti RAM nebo SFR @Ri - nepřímé adresování prostřednictvím Ri či K1 #data - 8bitová konstanta v instrukci #data16 - 16bitová konstanta uvedená jako 2 a 3 byte v instrukci bit - jeden ze 128 bitů v bitové adrese a elné paměti RAM či SFR addr16 - cílová adresa pro instrukce LCALL a JMP addr11 - cílová adresa pro ACALL a AJMP rel - 8bitový byte posunu /offset/ pro instrukci SJMP a podmíněné skoky</p>				









$$f_{\text{PWM}} = \frac{f_{\text{osc}}}{2 \times (1 + \text{PWMP}) \times 255}$$

pro $f_{\text{osc}} = 16 \text{ MHz} \Rightarrow f_{\text{PWM}} = 123 \text{ Hz} \div 31,4 \text{ kHz}$

$$\text{PWM}_i > \text{čítač} \Rightarrow \text{PWM}_{i, \text{out}} = L$$

$$\text{PWM}_i \leq \text{čítač} \Rightarrow \text{PWM}_{i, \text{out}} = H$$

$$\Rightarrow \frac{L}{H} = \frac{\text{PWM}_i}{255 - \text{PWM}_i}$$

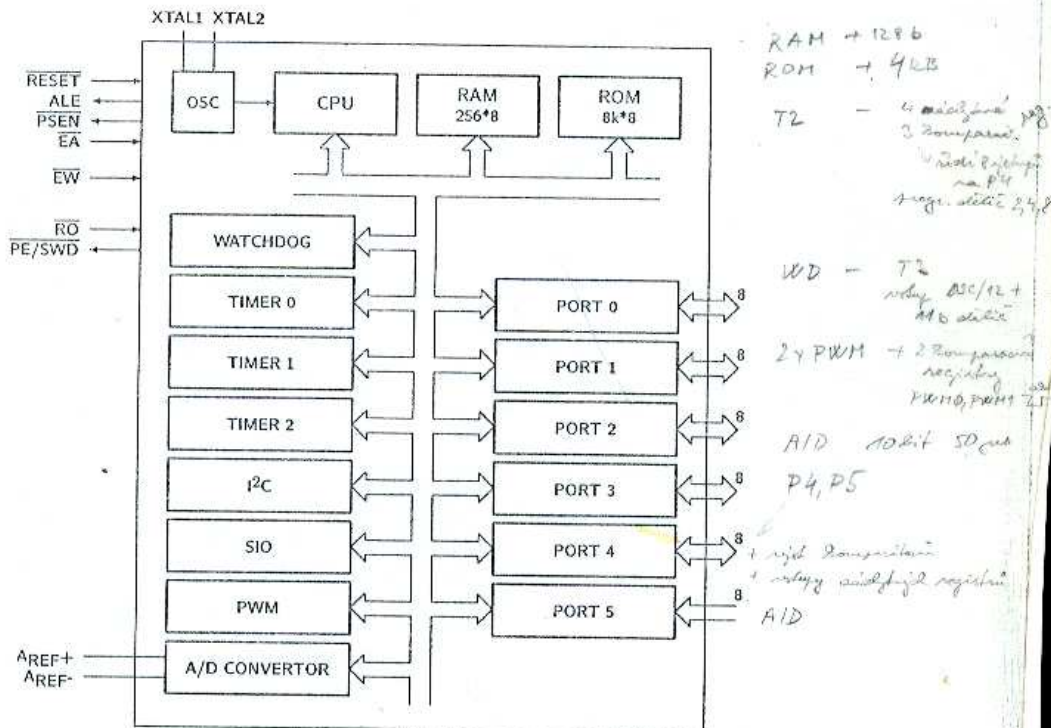
8.2 Philips 80C552

Mikropočítač 8051 [5] se stal základem pro celou řadu dalších modifikací, které obohacují jeho soubor periférií. Patří sem vedle dalších produktů firmy Intel hlavně mikropočítače Philips a Siemens. Přehled vybraných mikropočítačů Philips spolu s jejich základními charakteristikami uvádí následující tabulka. Mikropočítače Siemens si uvedeme později.

Jednočipové mikropočítače Philips

Typ	ROM	RAM	I/O	A/D	PWM		pouzdro
83CL51	4k	128	32			1.6-6V	DIL40
83C451	4k	128	52/56				DIL64, PLCC68
83C552	8k	256	48	8*10	2	I ² C	PLCC68, QFP80
83C592	16k	512	48	8*10	2	CAN	PLCC68
83C752	2k	64	21	1*8	1	I ² C	DIL28, PLCC28

Nejúspěšnějším prvkem z uvedeného výčtu je jednoznačně mikropočítač 80C552 (bez vnitřní paměti ROM), 83C552 (s vnitřní pamětí ROM o kapacitě 8 kB) a 87C552 (s vnitřní pamětí EPROM o kapacitě 8 kB).



Obr 8.7: Struktura jednočipového mikropočítače PCB 80C552

Mikropočítač PCB80C552 je proti základnímu typu 8051 doplněn o řadu obvodů rozhraní (obr.8.7). Výraznou změnou je **doplnění dvou paralelních bran P4 a P5, brána P4 je alternativně**

využívána pro vstupy záchytných registrů a pro výstupy komparátorů připojených k čítači T2, brána P5 je použitelná pouze jako vstupní a jsou na ni připojeny vstupy A/D převodníku.

Volně běžící šestnáctibitový čítač/časovač T2 je řízen signálem sběrnice ($f_{osc}/12$) nebo vnějším signálem na vývodu T2. Vstupní signál může být dále vydělen předřazeným programovatelným děličem dvěma, čtyřmi nebo osmi. Časovač je možné nulovat hranou vnějšího signálu RT2 (pokud to dovolí bit T2ER v registru TM2CON) a zajistit tak jeho synchronizaci s prostředím. Přetečení čítače nebo jeho poloviny lze indikovat a vyvolat jím přerušení. Čítač je vybaven čtyřmi záchytnými (CT0 - CT3) registry, zápis do nich je řízen signály CT3I - CT0I, v registru CTCON zadáváme zápis při náběžné a/nebo sestupné hraně jednotlivých signálů. Tři komparační registry CM0 - CM2 řídí osm výstupních obvodů, jejich výstupy jsou vyvedeny na bránu P4.

Osmibitový čítač označený jako T3 je součástí dohlížecího obvodu Watchdog. Jeho vstupem je signál sběrnice ($f_{osc}/12$) vydělený předřazeným jedenáctibitovým děličem. Čítač T3 čítá nahoru a při přetečení vyvolá reset. Čítač je možné volně číst, pro zápis nové hodnoty je nejdříve nutné nastavit bit WLE (Watchdog Load Enable - PCON.4). Obvod Watchdog je aktivován úrovní LOW na vývodu EW (Enable Watchdog), programově ho nelze vypnout.

Dalším čítačem ve struktuře mikropočítače 80C552 je osmibitový čítač modulu 255 obvodu PWM. Čítá kmitočet oscilátoru dělený dvěma (6 MHz pro krystal 12 MHz) a předřazeným děličem PWMP, jehož koeficient je možné nastavit v rozsahu 1 - 256. Dvěma výstupním kanálům obvodu PWM0 a PWM1 přísluší dva komparační registry PWM0 a PWM1. Poměrná doba aktivní fáze (úroveň LOW) výstupního signálu odpovídá hodnotě v příslušném komparačním registru.

Desetibitový analogově-číslicový převodník je poměrně pomalý, pro jeden převod potřebuje 50 cyklů sběrnice (50 μ s pro krystal 12 MHz). Na vstup má připojen osmikanálový multiplexor, vstupy multiplexoru jsou k dispozici na bráně P5.

Přerušovací systém mikropočítače 80C552 reaguje na patnáct příčin přerušení. Pět z nich odpovídá přerušením mikropočítače 8051 (INT0, INT1, IT0, IT1 a SIO0). Přidaná přerušení odpovídají zápisům do záchytných registrů CT0 až CT3, porovnáním s komparačními registry CM0 až CM2, přetečení šestnáctibitového čítače T2 a/nebo jeho osmibitové části. Jedno přerušení je generováno při ukončení A/D převodu, další je svázáno s obvodem rozhraní sériové sběrnice I²C. Přerušovací systém se strukturou neliší od přerušovacího systému mikropočítače 8051, každé žádosti lze nezávisle přiřadit jednu ze dvou priorit.

Mikropočítač lze převést nastavením odpovídajícího bitu v registru PCON do režimu sníženého příkonu (Idle Mode), kdy je procesor zastaven a čeká na přerušení nebo signál RESET. Proti zhruba 30 mA spotřeby v běžném provozu (pro krystal 12 MHz) je spotřeba snižována na 7 mA. Při vypnutí oscilátoru (Power-Down Mode) se příkon snižuje až na 50 μ A, mikropočítač však pouze uchovává data ve vnitřní paměti RAM a lze ho uvést do běhu pouze resetem.

Mikropočítač 80C552 je vyráběn v řadě variant pro komerční a průmyslový rozsah teplot (-40 až +85°C), pro krystal 12 MHz a 16 MHz. Má proti mikropočítači 8051 vyšší počet vývodů a je pouzdrěn do pouzder PLCC-68 a QFP-80. Rozložení vývodů mikropočítače v pouzdře PLCC-68 uvádí obr.8.8.

P4, P5

T2

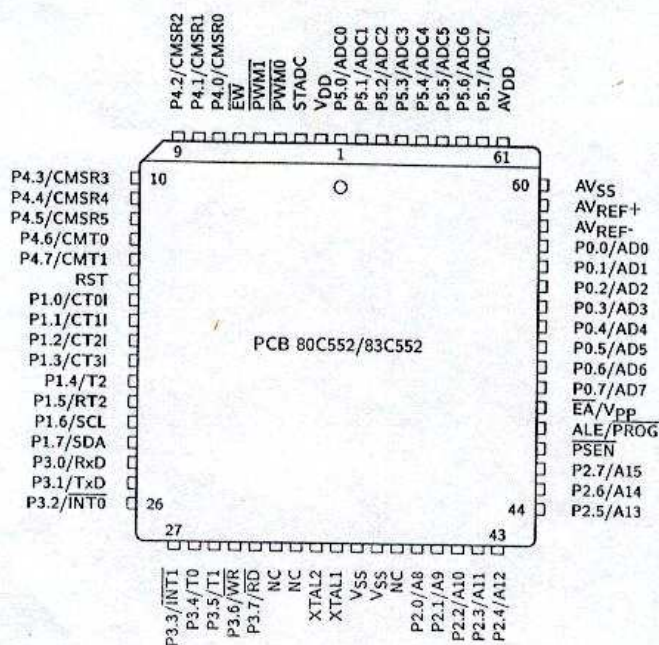
WD-T3

PWM0
PWM1

A/D

INT

PDM
IDLE



Obr 8.8: Rozložení vývodů jednočipového mikropočítače PCB 80C552

Registry SFR

Podobně jako u mikropočítače 8051 si uvedeme strukturu řídicích a datových registrů, a to pouze těch, které jsou proti tomuto mikropočítači modifikovány nebo přidány.

P1 - Parallel Port 1

	1	1	1	1	1	1	1	
90 _H	SDA	SCL	RT2	T2	CT3I	CT2I	CT1I	CT0I

Paralelní port P1 je alternativně využíván pro vstupy ovládacích signálů CT3I - CT0I záchytných registrů CT3 - CT0, pro vstupní signál T2 a synchronizační signál RT2 čítače T2, a pro signály SCL a SDA sběrnice I²C. Poslední dva vývody nejsou (na rozdíl od 8051) vybaveny "zvyšovacím odporem".

P4 - Parallel Port 4

	^{CMT1} 1	^{CMT2} 1	1	1	1	1	1	1
C0 _H	CMT1	CMT2	CMSR5	CMSR4	CMSR3	CMSR2	CMSR1	CMSR0

Osmibitový paralelní port P4 může sloužit jako osmice vstupů nebo výstupů, je alternativně využit pro výstupní obvody komparátorů. Výstupy CMSR5 - CMSR0 přísluší klopným obvodům CMSR5 - CMSR0, které jsou nastavovány při shodě mezi hodnotou čítače T2 a

komparačního registru CM0 (pokud to povoluje příslušný bit SP4i registru STE) a nulovány při shodě mezi hodnotou čítače T2 a komparačního registru CM1 (pokud to dovoluje příslušný bit RP4i registru RTE). Výstupy CMT1 a CMT0 přísluší klopným obvodům CMT1 a CMT0, které mění svůj stav při shodě mezi hodnotou čítače T2 a komparačního registru CM2 (pokud to dovoluje bit TG47 a TG46 registru STE).

P5 - Parallel Port 5

	x	x	x	x	x	x	x	
C4 _H	adc7	adc6	adc5	adc4	adc3	adc2	adc1	adc0

Osmibitový paralelní port P5 je použitelný pouze jako osmibitový vstup a je alternativně využit pro vstupy A/D převodníku.

TM2CON - Timer 2 Control

00	0	0	0	0	0	0	0
01	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0
11	0	0	0	0	0	0	0

EA_H

T2IS1	T2IS0	T2ER	T2BO	T2P1	T2P0	T2MS1	T2MS0
-------	-------	------	------	------	------	-------	-------

TML2 - Timer Low 2

	0	0	0	0	0	0	0	
EC _U	c7	c6	c5	c4	c3	c2	c1	c0

TMH2 - Timer High 2

	0	0	0	0	0	0	0	
ED _H	c15	c14	c13	c12	c11	c10	c9	c8

Na adresách TMH2 a TML2 jsou dostupné vyšší a nižší řády čítače T2. Registr TM2CON čítač T2 ovládá. Nastavením bitu T2IS1 lze aktivovat přerušování při přetečení šestnáctibitového čítače, nastavením bitu T2IS0 při přetečení jeho nižší slabiky. Nastavením bitu T2ER dovolujeme nulovat čítač T2 náběžnou hranou vnějšího signálu RT2. Bit T2BO při nastavení indikuje žádost o přerušování vyvolané přetečením čítače. Bity T2P1 a T2P0 dovolují nastavit předřazený dělič čítače na dělicí poměr 1 (00), 2 (01), 4 (10) nebo 8 (11). Konečně, bity T2MS1 a T2MS0 dovolují odpojit vstup hodinových impulsů (00), použít signál oscilátoru vydělený dvanácti (01) nebo vnější signál přivedený na vývod T2 (11). Kombinace 10 signálů T2MS1, T2MS0 je určena pro testování.

CML0 - Compare Low 0

	0	0	0	0	0	0	0	
A9 _H	c7	c6	c5	c4	c3	c2	c1	c0

CML1 - Compare Low 1

	0	0	0	0	0	0	0	
AA _H	c7	c6	c5	c4	c3	c2	c1	c0

CML2 - Compare Low 2

	0	0	0	0	0	0	0	
AB _n	c7	c6	c5	c4	c3	c2	c1	c0

CTL0 - Capture Low 0

	x	x	x	x	x	x	x	
AC _H	c7	c6	c5	c4	c3	c2	c1	c0

CTL1 - Capture Low 1

	x	x	x	x	x	x	x	x
AD _H	c7	c6	c5	c4	c3	c2	c1	c0

CTL2 - Capture Low 2

	x	x	x	x	x	x	x	
AE ₇	c7	c6	c5	c4	c3	c2	c1	c0

CTL3 - Capture Low 3

	x	x	x	x	x	x	x	x
AF _H	c7	c6	c5	c4	c3	c2	c1	c0

CMH0 - Compare High 0

	0	0	0	0	0	0	0	
C9 _H	c15	c14	c13	c12	c11	c10	c9	c8

CMH1 - Compare High 1

	0	0	0	0	0	0	0	
CA _H	c15	c14	c13	c12	c11	c10	c9	c8

CMH2 - Compare High 2

	0	0	0	0	0	0	0	
CB _H	c15	c14	c13	c12	c11	c10	c9	c8

CTH0 - Capture High 0

	x	x	x	x	x	x	x	
CC _H	c15	c14	c13	c12	c11	c10	c9	c8

CTH1 - Capture High 1

	x	x	x	x	x	x	x	
CD _H	c15	c14	c13	c12	c11	c10	c9	c8

CTH2 - Capture High 2

	x	x	x	x	x	x	x	
CE _H	c15	c14	c13	c12	c11	c10	c9	c8

CTH3 - Capture High 3

	x	x	x	x	x	x	x	
CF _H	c15	c14	c13	c12	c11	c10	c9	c8

Pod jmény CTH3 - CTH0 a CTL3 - CTL0 najdeme poloviny šestnáctibitových záchytných registrů, jména CMH2 - CMH0 a CML2 - CML0 označují komparační registry.

CTCON - Capture Control

	0	0	0	0	0	0	0	
EB _H	CTN3	CTP3	CTN2	CPT2	CTN1	CPT1	CTN0	CPT0

Register **CTCON** dovoluje pro každý záchytný registr nastavit citlivost na sestupnou (CTNi=1) a/nebo náběžnou (CTPi=1) hranu signálu na odpovídajícím vstupu.

STE - Set Enable Register*Stein's Register*

	1	1	0	0	0	0	0	0
EE _H	TG47	TG46	SP45	SP44	SP43	SP42	SP41	SP40

Nastavením bitů **SP45 - SP40** registru STE povolujeme nastavení klopných obvodů CMSR5 - CMSR0 (ovládají vývody CMSR5 - CMSR0 brány P4) při shodě čítače T2 a komparačního registru CM1. Bity TG47 a TG46 indikují příští hodnotu klopných obvodů CMT1 a CMT0 (ovládají vývody CMT1 a CMT0 brány P4) při shodě čítače T2 a komparačního registru CM2.

RTE - Reset/Toggle Enable Register*Reset Register*

	0	0	0	0	0	0	0	0
EF _H	TP47	TP46	RP45	RP44	RP43	RP42	RP41	RP40

Nastavením bitů **RP45 - RP40** registru RTE povolujeme nulování klopných obvodů CMSR5 - CMSR0 (ovládají vývody CMSR5 - CMSR0 brány P4) při shodě čítače T2 a komparačního registru CM1. Bity TP47 a TP46 povolují překlopení klopných obvodů CMT1 a CMT0 (ovládají vývody CMT1 a CMT0 brány P4) při shodě čítače T2 a komparačního registru CM2.

TM2IR - Timer 2 Interrupt Flag Register*indikator přerušení při zápisu do kompar. reg.*

	0	0	0	0	0	0	0	0
C8 _H	T2OV	CM12	CM11	CM10	CT13	CT12	CT11	CT10

Bit **CT13 - CT10** registru TM2IR indikuje přerušení při přepisu hodnoty čítače T2 do zachytného registru CT3 - CT0 (přepis je vyžádán zvolenou hranou signálu CT3I - CT0I). Bit **CM12 - CM10** indikuje přerušení při shodě čítače T2 s komparačním registrem CM2 - CM0. Konečně, bit T2OV indikuje přerušení při přetečení čítače T2 nebo jeho osmibitové části.

T3 - Timer 3

	0	0	0	0	0	0	0	0
FF _H	c7	c6	c5	c4	c3	c2	c1	c0

Čítač T3 je součástí dohlížecího obvodu Watchdog, čítá nahoru. Zápis do něj je možný pouze po předchozím nastavení bitu WLE/PCON.4.

PWMP - PWM Prescaler*zadání koeficientu předřazeného děliče*

	0	0	0	0	0	0	0	0
FE _H	p7	p6	p5	p4	p3	p2	p1	p0

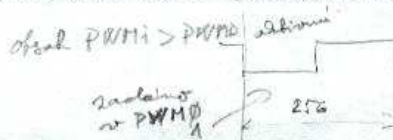
PWM1 - PWM Register 1

	0	0	0	0	0	0	0	0
FD _H	p7	p6	p5	p4	p3	p2	p1	p0

PWM0 - PWM Register 0

	0	0	0	0	0	0	0	0
FC _H	p7	p6	p5	p4	p3	p2	p1	p0

Registry PWM2, PWM1 a PWM0 jsou součástí generátoru signálu PWM. Hodnoty v registrech **PWM0 a PWM1** určují poměr aktivní části periody (úroveň LOW) na vývodech **PWM0** a **PWM1**. Registr **PWMP** dovoluje zadat koeficient předřazeného děliče.



*aktivní
reg.
pro PWM
kanály*

S1CON - Serial 1 Control*řídící registr*

	0	0	0	0	0	0	0	
D8 _H	CR2	ENS1	STA	ST0	SI	AA	CR1	CR0

S1STA - Serial 1 Status

	1	1	1	1	1	0	0	0
D9 _H	SC4	SC3	SC2	SC1	SC0	0	0	0

S1DAT - Serial 1 Data*vysílaná + přijímaná data*

	0	0	0	0	0	0	0	
DA _H	s7	s6	s5	s4	s3	s2	s1	s0

SIADR - Serial 1 Address*adresa pro příjem*

	0	0	0	0	0	0	0	
DB _H	a7	a6	a5	a4	a3	a2	a1	a0

Čtveřice registrů **S1CON**, **S1STA**, **S1DAT** a **SIADR** slouží k ovládání obvodů sériové sběrnice I²C, rozhraní je označováno jako **SIO1**. Mikropočítač PCB80C552 může na sběrnici I²C pracovat jako řídící (Master) nebo podřízený (Slave) a lze mu přidělit libovolnou adresu (s výjimkou adresy 00_H, která slouží pro funkci Broadcast). Připomeňme si, že adresy pro obvody ovládané po sběrnici I²C jsou určené výrobcem, obvody, u kterých se předpokládá, že jich bude více v jednom systému, mají některé bity adresy nastavitelné zapojením vývodů.

Registr **S1DAT** (SIO1 Data Register) je posuvný registr, do kterého **ukládáme vysílaná data**, a ze kterého **čteme data přijímaná**. Rozhraní nemá na rozdíl od asynchronního rozhraní SIO0 vyrovnávací paměti, ovládání obvodů SIO1 přerušovacími rutinami a možnost pozastavit vysílání hodinového signálu protistanicí (podržení signálu SCL na úrovni LOW) vyrovnávací paměti nevyžaduje. Do registru **SIADR** (SIO1 Address Register) **ukládáme adresu**, na kterou bude rozhraní při **příjmu reagovat** (další takovou adresou je adresa 00_H, která slouží pro funkci Broadcast).

Registr **S1CON** (SIO1 Control Register) je řídícím registrem rozhraní I²C. Bit ENS1 (SIO1 Enable Bit) při nastavení povoluje činnost obvodů rozhraní I²C. Vodiče rozhraní jsou vyvedeny na vývody P1.6/SCL a P1.7/SDA, odpovídající budiče paralelní brány P1 musí být uvedeny do stavu HIGH. Bit STA (Start Flag) zadává požadavek na vyslání prvku START, bit STO (Stop Flag) požadavek na vyslání prvku STOP.

Bit SI (Serial Interrupt Flag) dovoluje reagovat na jeden z 25 stavů řadiče, indikovaných ve stavovém registru S1STA (SIO1 Status Register), podmínkou je povolení přerušení (EA=1 a ES1=1). Po dobu obsluhy je udržován vodič SCL na úrovni LOW. Bit AA (Assert Acknowledge Flag) zadává požadavek na vyslání potvrzení (prvek ACK) jako odpovědi na příjem adresy nebo znaku zprávy.

Konečně bity CR2, CR1 a CR0 zadávají přenosovou rychlost (základní kmitočet signálu SCL) v režimu Master. Konkrétní hodnoty přenosové rychlosti pro krystal 12 MHz uvádí tabulka, její poslední řádek (nastavení všech bitů CR2 - CR0) odpovídá řízení obvodu SIO1 čítačem T1 ve funkci generátoru přenosové rychlosti:

CR2	CR1	CR0	rychlost	děl.poměr
0	0	0	47	256
0	0	1	54	224
0	1	0	63	192
0	1	1	75	160
1	0	0	12.5	960
1	0	1	100	120
1	1	0	-	60
1	1	1	0.5-62.5	96*(256-TH1)

Stavový registr S1STA ve svých pěti významnějších bitech indikuje stav řadiče, na nějž je potřeba reagovat samostatnou obsluhou. Doporučené využití stavové informace přerušovací rutinou si uvedeme:

```
PUSH PSW
PUSH S1STA
PUSH HADD
RET
```

Přerušovací rutina uloží hodnotu registru S1STA na zásobník a po uložení adresy stránky (256 B) předá řízení konkrétní obsluze (která je většinou tak jednoduchá, že pro ni stačí osm slabik programu):

ADCON - A/D Convertor Control

C5_H

adc1	adc0	ADEX	ADCI	ADCS	AADR2	AADR1	AADR0
------	------	------	------	------	-------	-------	-------

Registr ADCON řídí A/D převodník. Bitem **ADEX** (**ADEX=1**) dovoluujeme odstartování převodu náběžnou hranou na vývodu STADC, nezávisle na nastavení tohoto bitu může být převod odstartován nastavením bitu **ADCS**. Bit **ADCI** je nastavován při ukončení převodu, programem může být pouze nulován. Bit **ADCS** je nastaven programem nebo při spuštění převodu vnějším signálem STADC, je nulován při ukončení převodu. Běžící převod nelze přerušit ani znovu odstartovat. Bity **ADCON2**, **ADCON1** a **ADCON0** ovládají vstupní multiplexer A/D převodníku.

ADCH - A/D Convertor High

C6_H

adc9	adc8	adc7	adc6	adc5	adc4	adc3	adc2
------	------	------	------	------	------	------	------

Výstupní registr A/D převodníku obsahuje osm vyšších řádů výsledku, dva nižší řády najdeme v řídicím registru ADCON (bity ADCON.7 a ADCON.6).

IEN0 - Interrupt Enable 0

A8_H

EA	EAD	ES1	ES0	ET1	EX1	ET0	EX0
----	-----	-----	-----	-----	-----	-----	-----

Většina bitů registru IEN0 má význam shodný s mikropočítačem 8051 (**EA**, **ET1**, **EX1**, **ET0** a **EX0**). Bit **ES0** odpovídá bitu **ES** mikropočítače 8051, bit **ES1** dovoluje reagovat na přerušování generovanou obvodem rozhraní I²C, bit **EAD** povoluje přerušování při ukončení práce A/D převodníku.

IP0 - Interrupt Priority 0

obdobu IP 51

	0	0 <i>AD</i>	0 <i>I²C</i>	0 <i>CP2</i>	0	0	0	0
B8 _H	-	PAD	PS1	PS0	PT1	PX1	PT0	PX0

Několik bitů registru IP0 má (podobně jako u registru IEN0) význam shodný s mikropočítačem 8051 (PT1, PX1, PT0 a PX0). Bit PS0 odpovídá bitu PS mikropočítače 8051, bit PS1 zvyšuje prioritu přerušení generovaných obvodem rozhraní I²C, bit PAD zvyšuje prioritu přerušení generovaných A/D převodníkem.

IEN1 - Interrupt Enable 1

- pro T2

	0	0	0	0	0	0	0	0
E8 _H	ET2	ECM2	ECM1	ECM0	ECT3	ECT2	ECT1	ECT0

Jednotlivé bity registru IEN1 při nastavení na jedničku povolují přerušení při přetečení volně běžícího čítače T2 (ET2), při přepisu jeho hodnoty do záchytného registru (ECT3, ECT2, ECT1 a ECT0) a při shodě s komparačním registrem (ECM2, ECM1 a ECM0).

IP1 - Interrupt Priority 1

- pro T2

	0	0	0	0	0	0	0	0
F8 _H	PT2	PCM2	PCM1	PCM0	PCT3	PCT2	PCT1	PCT0

Jednotlivé bity registru IP1 při nastavení na jedničku zvyšují prioritu přerušení při přetečení volně běžícího čítače T2 (PT2), při zápisu jeho hodnoty do záchytného registru (PCT3, PCT2, PCT1 a PCT0) a při shodě s komparačním registrem (PCM2, PCM1 a PCM0).

PCON - Power Control Register

12 pro S191

	0	0	0	0	0	0	0	0
87 _H	SMOD	-	-	WLE	GF1	GF0	PD	IDL

14 bitů pro S191

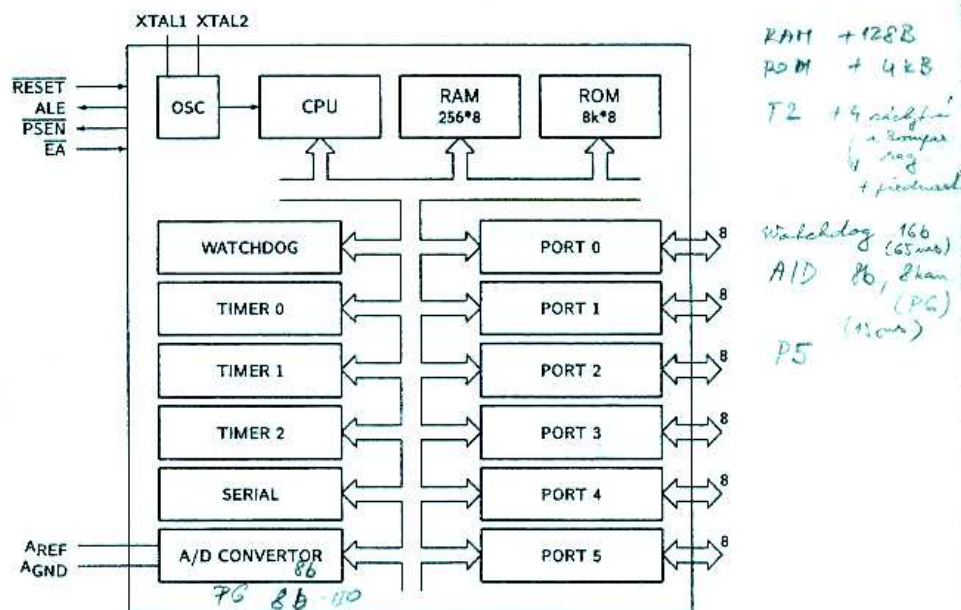
Některé z bitů registru PCON odpovídají těm, které najdeme u mikropočítače 8051 (SMOD - předdělič pro sériové rozhraní SIOB a v aplikaci použitelné příznaky GF0 a GF1). Přidaný bit WLE musí být nastaven před každým zápisem nové hodnoty do čítače Watchdog (T3). Nastavení bitu IDL zastavuje procesor (režim Idle), nastavení bitu PD zastavuje oscilátor (režim Power-Down). Bit PD je funkční pouze, není-li aktivován obvod Watchdog (úroveň LOW na vývodu EW).

8.3 Siemens SAB 80C515/80C535

Jednočipový mikropočítač Siemens SAB 80C515/80C535 [6] je modernějším následníkem mikropočítače 8051. Jeho struktura vychází ze základního typu 8051 (programy vytvořené pro 8051 můžeme na SAB 80C515/80C535 použít), byla však podstatně rozšířena.

Paměť RAM mikropočítač SAB 80C515/80C535 je větší o 128 B (celková kapacita 256 B). Mikropočítač SAB 80C515 má paměť ROM programovanou maskou při výrobě (vnějším signálem \overline{EA} ji lze, podobně jako u mikropočítače 8051 odpojit), její kapacita je oproti 8051 větší o 4 KB (celkových 8 KB), verze **SAB 80C535 vnitřní paměť neposkytuje** (ROM-less verze).

Pro aplikace s bateriovým napájením jsou k dispozici dva úsporné módy: procesor lze programově zastavit (Idle Mode), přičemž periférie pracují, nebo lze vypnout oscilátor (Power Down Mode).



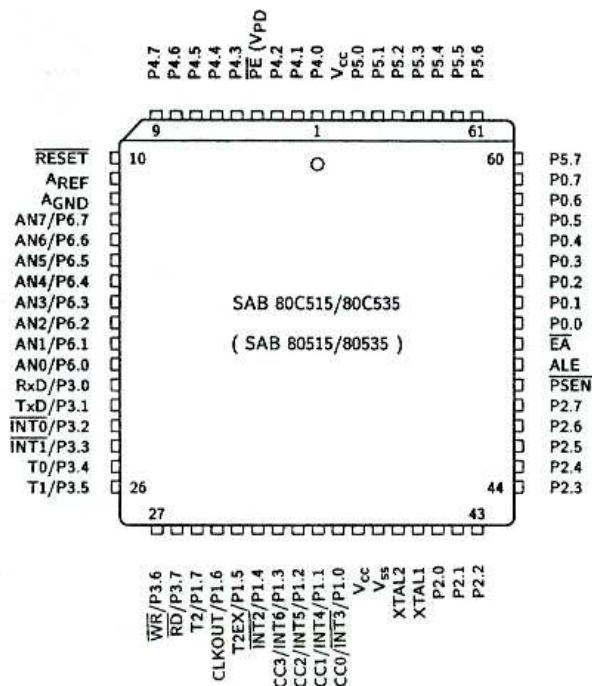
Obr 8.9: Struktura jednočipového mikropočítače SAB 80C515/80C535

Podstatně byl rozšířen soubor periferních obvodů (obr.8.9). Ke čtyřem osmibitovým portům mikropočítače 8051 byly **přidány další dva osmibitové porty**. K původním dvěma univerzálním čítačům/časovačům mikropočítače 8051 byl **přidán moderní 16-bitový čítač/časovač s jednostupňovým předřazeným děličem a čtyřmi registry, které mohou pracovat jako záchytné nebo komparační**. Jeden z registrů lze navíc použít pro přednastavení (Reload), požadavek na přednastavení lze odvodit z přeplnění čítače a z vnějšího signálu T2EX (možnost synchronizace s vnějším periodickým dějem). Mikropočítač byl doplněn o jednoduchý **16-bitový hlídací obvod Watchdog, který musí být spuštěn po startu procesoru (není spouštěn automaticky)**. Jeho čítač není programovatelný, pokud není programem nulován, vyvolá po 65532 strojových cyklech (zhruba 65 ms pro krystal 12 MHz) restart procesoru.

Osmibitový A/D převodník s osmivstupovým multiplexerem a obvodem analogové paměti (Sample/Hold) pracuje s **postupnou aproximací** a je schopen převést vstupní analogové napětí

na osmibitové slovo **za 15 μ s**. Programovatelný obvod referenčního napětí dovoluje zvýšit přesnost v užším intervalu vstupního napětí. Přidání řady periférií si vyžádalo podstatnou úpravu přerušovacího systému. Přerušovací systém mikropočítače SAB 80C515/80C535 reaguje na **pět vnitřních a osm vnějších zdrojů přerušení**, generuje 12 vektorů a pracuje se čtyřmi úrovněmi přerušení.

INT0 - INT6, S10
T0, T1, T2, WD, AD



Obr 8.10: Rozložení vývodů jednočipového mikropočítače SAB 80C515/80C535

Rozšíření periferních obvodů si pochopitelně vyžádalo použití pouzdra s více vývody než má 8051, mikropočítač SAB 80C515/80C535 používá pouzdro PLLC-68 (obr.8.10).

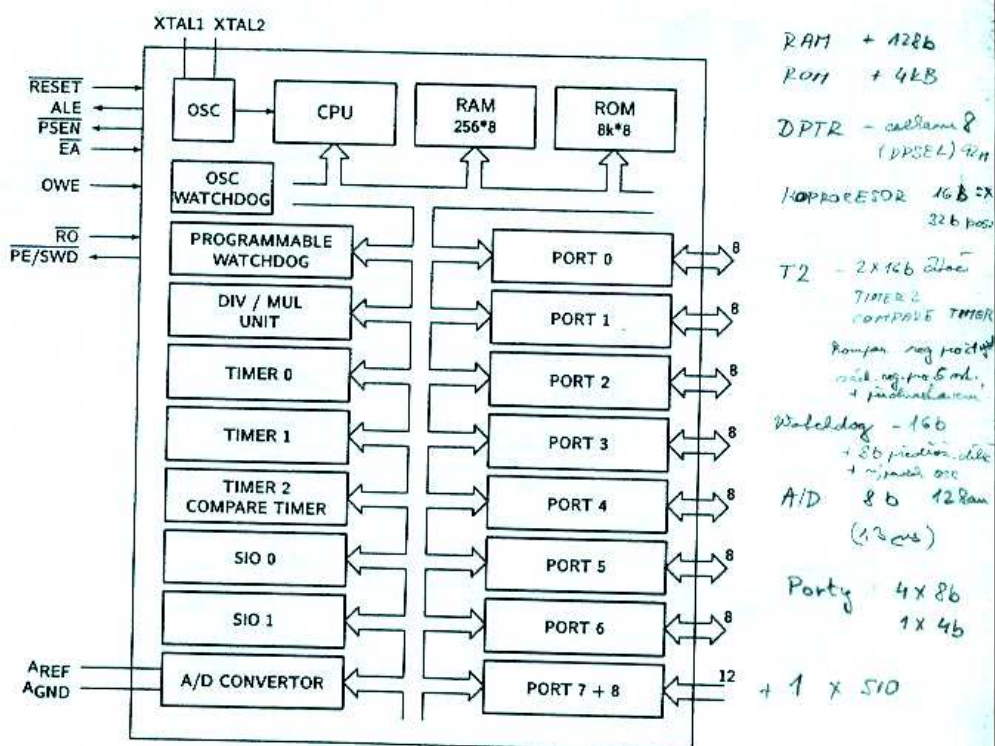
Základní typ SAB80515/80535 byl vyráběn technologií NMOS, současné typy SAB80C515 a SAB80C535 jsou vyráběny technologií CMOS a mohou pracovat i s krystalem 16 MHz (verze SAB 80C515-16/80C535-16).

8.4 Siemens SAB 80C517/80C537

Jednočipový mikropočítač Siemens SAB 80C517/80C537 [7] je ještě výraznější modifikací mikropočítače 8051 než SAB80C515/80C535. Jeho struktura také vychází ze základního typu 8051, programy vytvořené pro 8051 můžeme na SAB 80C517/80C537 použít.

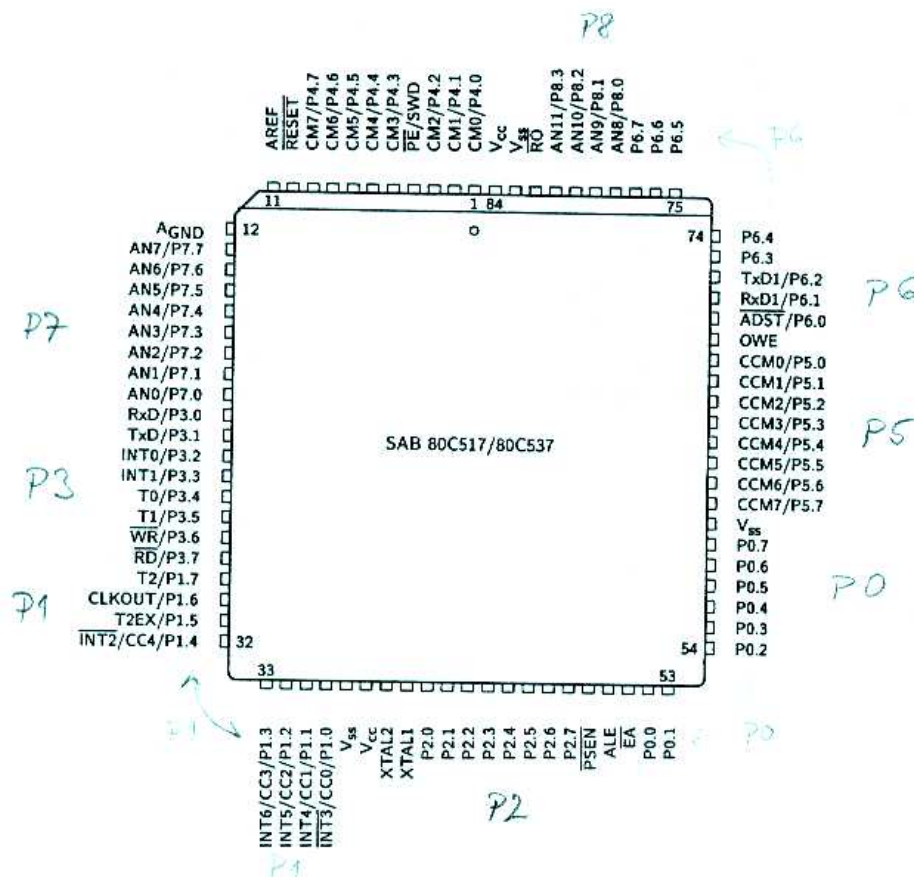
Paměť RAM mikropočítač SAB 80C517/80C537 je větší o 128 B (celková kapacita 256 B). Verze SAB 80C517 má **paměť ROM** programovanou maskou při výrobě (vnějším signálem EA ji lze odpojit), její kapacita je oproti 8051 o 4 KB větší (celkových 8 KB), verze SAB 80C537 **vnitřní paměť neposkytuje** (ROM-less verze). Jediný adresační registr DPTR procesoru 8051 byl nahrazen osmi registry, výběr právě aktivního registru DPTR je řízen přidaným registrem DPSEL (92_H). Více adresačních registrů DPTR podstatně zefektivňuje práci s vnější pamětí RAM. **Výpočetní kapacita původní aritmetické jednotky**, nedostatečná pro aplikace vyžadující složitější výpočty, byla podstatně zvýšena doplněním "koprocesoru" pro 16-bitové násobení a dělení a pro 32-bitové posuvy a normalizaci. Uvedené operace potřebují pro výpočet čtyři až šest instrukčních cyklů (4-6 μ s pro krystal 12 MHz).

Mikropočítač může pracovat ve třech úsporných módech: s osminou základní frekvence (Slow-Down Mode), s vypnutým procesorem, ale pracujícími perifériemi (Idle Mode) a s vypnutým oscilátorem (Power-Down Mode). Mikropočítače SAB 80C517/80C537 jsou vyráběny technologií CMOS a mohou pracovat i s krystalem 16 MHz (verze SAB 80C517-16/80C537-16).



Obr 8.11: Struktura jednočipového mikropočítače SAB 80C517/80C537

Podstatně byl rozšířen soubor periferních obvodů (obr.8.11). Ke čtyřem osmibitovým portům mikropočítače 8051 byly přidány další čtyři osmibitové porty a jeden čtyřbitový port, mikropočítač poskytuje celkem 56 I/O vývodů. Bylo doplněno druhé sériové rozhraní SIO₁ s vlastním programovatelným generátorem přenosové rychlosti. Původní sériové rozhraní SIO₀ může pro řízení přenosové rychlosti kromě časovače TIMER₁ použít vlastního programovatelného generátoru přenosové rychlosti.



Obr. 8.12: Rozložení vývodů jednočipového mikropočítače SAB 80C517/80C537

K původním dvěma univerzálním čítačům/časovačům mikropočítače 8051 byla přidána čítačová jednotka opírající se o dva nezávislé 16-bitové čítače (TIMER 2 a COMPARE TIMER s možností přednastavení při přepnutí nebo při změně vnějšího signálu T2EX). Jednotka má komparační registry pro celkem 21 výstupních signálů a disponuje pěti vstupy se záchytnými registry. Osmibitový A/D převodník s dvanáctivstupovým multiplexerem, obvodem analogové paměti (Sample/Hold) a programovatelným obvodem referenčního napětí pracuje s postupnou aproximací a je schopen převést analogové napětí na osmibitové slovo za 13 instrukčních cyklů (13 μ s pro krystal 12 MHz). Převodník lze spustit vnějším signálem ADST.

Mikropočítač byl doplněn o programovatelný obvod Watchdog s šestnáctibitovým přednastavitelným časovačem a osmibitovým předřazeným děličem, časový limit pro restart procesoru lze nastavit na 512 μ s až 1.1 s. Signál PE/SWD (Power Saving Mode Enable/Start

Watchdog Timer) při startu procesoru určuje, zda bude obvod Watchdog spuštěn ($\overline{PE}/SWD=1$) nebo vypnut ($\overline{PE}/SWD=0$). Nulová hodnota signálu při běhu programu dovoluje programovaný přechod do stavu Idle Mode, Slow-Down Mode nebo Power-Down Mode. Informace o startu a restartu procesoru je vnějším obvodům k dispozici na výstupu \overline{RO} (Reset Out). Dalším hlídacím obvodem je Oscillator Watchdog, který vyvolá restart procesoru při výpadku oscilátoru (snížení jeho frekvence pod 300 kHz). Obvod lze blokovat nulovou úrovní signálu OWE (Oscillator Watchdog Enable).

Přidání řady periférií si vyžádalo podstatnou úpravu přerušovacího systému. Přerušovací systém mikropočítače SAB 80C517/80C537 reaguje na sedm vnitřních a osm vnějších zdrojů přerušení, generuje 14 vektorů a pracuje se čtyřmi úrovněmi přerušení.

Rozšíření periferních obvodů proti mikropočítači SAB 80C515/80C535 si pochopitelně vyžádalo větší pouzdro, mikropočítač SAB 80C517/80C537 používá pouzdro PLLC-84 (obr.8.12).

8.5 Dallas DS80C320

Zajímavou modifikací mikropočítače 80C32 je jednočipový mikropočítač Dallas 80C320. Modernizace se týká nejslabších míst procesoru, DS80C320 na provedení instrukce o délce jedné slabiky potřebuje pouhé čtyři periody hodinového signálu. U delších instrukcí není zkrácení tak výrazné, přesto lze počítat s celkovým 2.5-násobným zrychlením výpočtu. Procesor běžně pracuje s krystalem 25 MHz, jeho rychlost by pak odpovídala rychlosti 80C32 s krystalem 62.5 MHz.

Procesor je doplněn o druhý registr DPTR, který podstatně zjednodušuje a zrychluje práci s vnější pamětí. Krátký cyklus vnější sběrnice (160 ns) lze pro pomalé vnější obvody rozhraní programově prodloužit až na 1.12 μ s, případně ho zkrátit na 80 ns.

Je rozšířen soubor obvodů rozhraní, přidané sériové rozhraní je podobné původnímu. Je doplněn obvod Watchdog a detektor poklesu napájecího napětí a dalších pět vstupů vnějšího přerušení. Obvod je přímo použitelný jako náhrada 80C32 v pouzdrech DIL-40 a PLCC-44 ve starších konstrukcích (má shodné rozložení vývodů), s krystalem 25 MHz má spotřebu 30 mA.

Příloha II - Funkční přehled instrukcí mikroprocesorů řady 51

	Symbol	Význam	Byte	Cykly
ARITHMETIC OPERATIONS	ADD A,Rn	Add register to Accumulator	1	1
	ADD A,direct	Add direct byte to Accumulator	2	1
	ADD A,@R1	Add indirect RAM to Accumulator	1	1
	ADD A,#data	Add immediate data to Accumulator	2	1
	ADDC A,Rn	Add register to Accumulator with Carry	1	1
	ADDC A,direct	Add direct byte to A with Carry flag	2	1
	ADDC A,@R1	Add indirect RAM to A with Carry flag	1	1
	ADDC A,#data	Add immediate data to A with Carry flag	2	1
	SUBB A,Rn	Subtract register from A with Borrow	1	1
	SUBB A,direct	Subtract direct byte from A with Borrow	2	1
	SUBB A,@R1	Subtract indirect RAM from A with Borrow	1	1
	SUBB A,#data	Subtract immed data from A with Borrow	2	1
	INC A	Increment Accumulator	1	1
	INC Rn	Increment register	1	1
	INC direct	Increment direct byte	2	1
	INC @R1	Increment indirect RAM	1	1
	INC DPTR	Increment Data Pointer	1	2
	DEC A	Decrement Accumulator	1	1
	DEC Rn	Decrement register	1	1
	DEC direct	Decrement direct byte	2	1
	DEC @R1	Decrement indirect RAM	1	1
LOGICAL OPERATIONS	MUL AB	Multiply A & B	1	4
	DIV AB	Divide A by B	1	4
	DA A	Decimal Adjust Accumulator	1	1
	ANL A,Rn	AND register to Accumulator	1	1
	ANL A,direct	AND direct byte to Accumulator	2	1
	ANL A,@R1	AND indirect RAM to Accumulator	1	1
	ANL A,#data	AND immediate data to Accumulator	2	1
	ANL direct,A	AND Accumulator to direct byte	2	1
	ANL direct,#data	AND immediate data to direct byte	3	2
	ORL A,Rn	OR register to Accumulator	1	1
	ORL A,direct	OR direct byte to Accumulator	2	1
	ORL A,@R1	OR indirect RAM to Accumulator	1	1
	ORL A,#data	OR immediate data to Accumulator	2	1
	ORL direct,A	OR Accumulator to direct byte	2	1
	ORL direct,#data	OR immediate data to direct byte	3	2
	XRL A,Rn	Exclusive-OR register to Accumulator	1	1
	XRL A,direct	Exclusive-OR direct byte to Accumulator	2	1
	XRL A,@R1	Exclusive-OR indirect RAM to A	1	1
	XRL A,#data	Exclusive-OR immediate data to A	2	1
	XRL direct,A	Exclusive-OR Accumulator to direct byte	2	1
	XRL direct,#data	Exclusive-OR immediate data to direct	3	2
	CLR A	Clear Accumulator	1	1
	CPL A	Complement Accumulator	1	1
	RL A	Rotate Accumulator Left	1	1

Příloha II -

	Symbol	Význam	Byte	Cyklo
LOGICAL OPERATIONS CONTINUED	RLC A	Rotate A Left through the Carry flag	1	1
	RR A	Rotate Accumulator Right	1	1
	RRC A	Rotate A Right through Carry flag	1	1
	SWAP A	Swap nibbles within the Accumulator	1	1
DATA TRANSFER	MOV A,Rn	Move register to Accumulator	1	1
	MOV A,direct	Move direct byte to Accumulator	2	1
	MOV A,@Ri	Move indirect RAM to Accumulator	1	1
	MOV A,#data	Move immediate data to Accumulator	2	1
	MOV Rn,A	Move Accumulator to register	1	1
	MOV Rn,direct	Move direct byte to register	2	2
	MOV Rn,#data	Move immediate data to register	2	1
	MOV direct,A	Move Accumulator to direct byte	2	1
	MOV direct,Rn	Move register to direct byte	2	2
	MOV direct,direct	Move direct byte to direct	3	2
	MOV direct,@Ri	Move indirect RAM to direct byte	2	2
	MOV direct,#data	Move immediate data to direct byte	3	2
	MOV @Ri,A	Move Accumulator to indirect RAM	1	1
	MOV @Ri,direct	Move direct byte to indirect RAM	2	2
	MOV @Ri,#data	Move immediate data to indirect RAM	2	1
	MOV DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
	MOVC A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
	MOVC A,@A+PC	Move Code byte relative to PC to A	1	2
	MOVX A,@Ri	Move External RAM /8-bit addr/ to A	1	2
	MOVX A,DPTR	Move External RAM /16-bit addr/ to A	1	2
	MOVX @Ri,A	Move A to External RAM /8-bit addr/	1	2
	MOVX @DPTR,A	Move A to External RAM /16-bit addr/	1	2
	PUSH direct	Push direct byte onto stack	2	2
	POP direct	Pop direct byte from stack	2	2
	XCH A,Rn	Exchange register with Accumulator	1	1
	XCH A,direct	Exchange direct byte with Accumulator	2	1
	XCH A,@Ri	Exchange indirect RAM with A	1	1
	XCHD A,@Ri	Exchange low-order Digit ind. RAM w. A	1	1
BOOLEAN VARIABLE MANIPULATION	CLR C	Clear Carry flag	1	1
	CLR bit	Clear direct bit	2	1
	SETB C	Set Carry flag	1	1
	SETB bit	Set direct Bit	2	1
	CPL C	Complement Carry flag	1	1
	CPL bit	Complement direct bit	2	1
	ANL C,bit	AND direct bit to Carry flag	2	2
	ANL C,/bit	AND complement of direct bit to Carry	2	2
	ORL C,bit	OR direct bit to Carry flag	2	2
	ORL C,/bit	OR complement of direct bit to Carry	2	2
	MOV C,bit	Move direct bit to Carry flag	2	1
	MOV bit,C	Move Carry flag to direct bit	2	2

Příloha II -

	Symbol	Význam	Byte	Cykly
PROGRAM AND MACHINE CONTROL	ACALL addr11	Absolute Subroutine Call	2	2
	LCALL addr16	Long Subroutine Call	3	2
	RET	Return from subroutine	1	2
	RETI	Return from interrupt	1	2
	AJMP addr11	Absolute Jump	2	2
	LJMP addr16	Long Jump	3	2
	SJMP rel	Short Jump /relative addr/	2	2
	JMP @A+DPTR	Jump indirect relative to the DPTR	1	2
	JZ rel	Jump if Accumulator is Zero	2	2
	JNZ rel	Jump if Accumulator is Not Zero	2	2
	JC rel	Jump if Carry flag is set	2	2
	JNC rel	Jump if No Carry flag	2	2
	JB bit,rel	Jump if direct Bit set	3	2
	JNB bit,rel	Jump if direct Bit Not set	3	2
	JBC bit,rel	Jump if direct Bit is set & Clear bit	3	2
	CJNE A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
	CJNE A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
	CJNE Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
	CJNE @Ri,#data,rel	Comp. immed. to ind. & Jump if Not Equal	3	2
	DJNZ Rn,rel	Decrement register & Jump if Not Zero	2	2
	DJNZ direct,rel	Decrement direct & Jump if Not Zero	3	2
	NOP	No operation	1	1
<p>Pozn: Rn - pracovní registr R0-R7 direct - adresa interní paměti RAM nebo SFR @Ri - nepřímé adresování prostřednictvím R0 či R1 #data - 8bitová konstanta v instrukci #data16 - 16bitová konstanta uvedená jako 2 a 3 byte v instrukci bit - jeden ze 128 bitů v bitově adresovatelné paměti RAM či SFR addr16 - cílová adresa pro instrukce LCALL a LJMP addr11 - cílová adresa pro ACALL a AJMP rel - 8bitový byte posunu /offset/ pro instrukci SJMP a podmíněné skoky</p>				

PŘÍKLAD ZÁKLADNÍCH INSTRUKCÍ

Příloha obsahuje seznam všech instrukcí obvodu 8051 v abecedním řazení. U každé instrukce je uveden její symbolický zápis, stručný popis činnosti a ovlivňované příznaky (P, OV, AC, C) v PSW. Použití symbolů jsou vysvětleny v tabulce 10 na straně 53.

Symbolická instrukce	Činnost	Ovlivněné příznaky
ACALL kód adr	$PC \leftarrow (PC) + 2$ $SP \leftarrow (SP) + 1$ $(SP) \leftarrow (PC \text{ n. ř.})$ $SP \leftarrow (SP) + 1$ $(SP) \leftarrow (PC \text{ v. ř.})$ $PC_{0-10} \leftarrow \text{adr stránky}$	
ADD A, #data	$A \leftarrow (A) + \text{data}$	C, AC, OV, P
ADD A, @Rr	$A \leftarrow (A) + ((Rr))$	C, AC, OV, P
ADD A, Rr	$A \leftarrow (A) + (Rr)$	C, AC, OV, P
ADD A, data adr	$A \leftarrow (A) + (\text{data adr})$	C, AC, OV, P
ADDC A, #data	$A \leftarrow (A) + C + \text{data}$	C, AC, OV, P
ADDC A, @Rr	$A \leftarrow (A) + C + ((Rr))$	C, AC, OV, P
ADDC A, Rr	$A \leftarrow (A) + C + (Rr)$	C, AC, OV, P
ADDC A, data adr	$A \leftarrow (A) + C + (\text{data adr})$	C, AC, OV, P
ANL kód adr	$PC \leftarrow (PC) + 2$ $PC_{0-10} \leftarrow \text{adr stránky}$	
ANL A, #data	$A \leftarrow (A) \wedge \text{data}$	P
ANL A, @Rr	$A \leftarrow (A) \wedge ((Rr))$	P
ANL A, Rr	$A \leftarrow (A) \wedge (Rr)$	P
ANL A, data adr	$A \leftarrow (A) \wedge (\text{data adr})$	P
ANL C, bit adr	$C \leftarrow C \wedge (\text{bit adr})$	C

Symbolická instrukce	Činnost	Ovlivněné příznaky
ANL C, bit adr	$C \leftarrow C \wedge (\text{bit adr})$	C
ANL data adr, #data	$\text{data adr} \leftarrow (\text{data adr}) \wedge \text{data}$	
ANL data adr, A	$\text{data adr} \leftarrow (\text{data adr}) \wedge A$	
CJNE @Rr, #data, kód adr	$PC \leftarrow (PC) + 3$ $\text{Je-li } ((Rr)) <> \text{data,}$ pak $PC \leftarrow (PC) + \text{rel posun}$ $\text{Je-li } ((Rr)) < \text{data,}$ pak $C \leftarrow 1,$ jinak $C \leftarrow 0$	C
CJNE A, #data, kód adr	$PC \leftarrow (PC) + 3$ $\text{Je-li } (A) <> \text{data,}$ pak $PC \leftarrow (PC) + \text{rel posun}$ $\text{Je-li } (A) < \text{data,}$ pak $C \leftarrow 1,$ jinak $C \leftarrow 0$	C
CJNE A, data adr, kód adr	$PC \leftarrow (PC) + 3$ $\text{Je-li } (A) <> (\text{data adr}),$ pak $PC \leftarrow (PC) + \text{rel posun}$ $\text{Je-li } (A) < (\text{data adr}),$ pak $C \leftarrow 1,$ jinak $C \leftarrow 0$	C

A/3

Symbolická instrukce	Činnost	Ovlivněné příznaky
CJNE Rr, data, kód adr	$PC \leftarrow (PC) + 3$ $Je-11 (Rr) < > \text{data},$ pak $PC \leftarrow (PC) + \text{rel posun}$ $Je-11 (Rr) < \text{data},$ pak $C \leftarrow 1,$ jinak $C \leftarrow 0$	C
CIR A	$A \leftarrow 0$	P
CIR C	$C \leftarrow 0$	C
CIR bit adr	$\text{bit adr} \leftarrow 0$	
CPL A	$A \leftarrow \overline{A}$	
CPL C	$C \leftarrow \overline{C}$	C
CPL bit adr	$\text{bit adr} \leftarrow (\text{bit adr})$	
DA A	Úprava (A) na desítko- vý tvar.	C, P
DEC @Rr	$(Rr) \leftarrow ((Rr)) - 1$	
DEC A	$A \leftarrow (A) - 1$	P
DEC Rr	$Rr \leftarrow (Rr) - 1$	
DEC data adr	$\text{data adr} \leftarrow (\text{data adr}) - 1$	
DIY AB	$AB \leftarrow (A)/(B)$	C, OV, P
DJNZ Rr, kód adr	$PC \leftarrow (PC) + 2$ $Rr \leftarrow (Rr) - 1$ $Je-11 (Rr) < > 0,$ pak $PC \leftarrow (PC) + \text{rel posun}$	

284

A/4

Symbolická instrukce	Činnost	Ovlivněné příznaky
DJNZ data adr, kód adr	$PC \leftarrow (PC) + 3$ $\text{data adr} \leftarrow (\text{data adr}) - 1$ $Je-11 (\text{data adr}) < > 0,$ pak $PC \leftarrow (PC) + \text{rel posun}$	
INC @Rr	$(Rr) \leftarrow ((Rr)) + 1$	
INC A	$A \leftarrow (A) + 1$	P
INC DPTR	$DPTR \leftarrow (DPTR) + 1$	
INC Rr	$Rr \leftarrow (Rr) + 1$	
INC data adr	$\text{data adr} \leftarrow (\text{data adr}) + 1$	
JB bit adr, kód adr	$PC \leftarrow (PC) + 3$ $Je-11 (\text{bit adr}) = 1,$ pak $PC \leftarrow (PC) + \text{rel posun}$	
JBC bit adr, kód adr	$PC \leftarrow (PC) + 3$ $Je-11 (\text{bit adr}) = 1,$ pak $\text{bit adr} \leftarrow 0$ $PC \leftarrow (PC) + \text{rel posun}$	
JC kód adr	$PC \leftarrow (PC) + 2$ $Je-11 C = 1,$ pak $PC \leftarrow (PC) + \text{rel posun}$	
JMC @A,DPTR	$PC \leftarrow (A) + (DPTR)$	
JNB bit adr, kód adr	$PC \leftarrow (PC) + 3$ $Je-11 (\text{bit adr}) = 0,$ pak $PC \leftarrow (PC) + \text{rel posun}$	

285

Symbolická instrukce	Účinnost	Ovlivňené příznaky
JNC kód adr	$PC \leftarrow (PC) + 2$ $Je-11\ C = 0$, pak	
JNZ kód adr	$PC \leftarrow (PC) + rel\ posun$ $PC \leftarrow (PC) + 2$ $Je-11\ (A) < 0$, pak	
JZ kód adr	$PC \leftarrow (PC) + 2$ $Je-11\ (A) = 0$, pak	
LCALL kód adr	$PC \leftarrow (PC) + 3$ $SP \leftarrow (SP) + 1$ $(SP) \leftarrow (PC\ n.,\ f.)$ $SP \leftarrow (SP) + 1$ $(SP) \leftarrow (PC\ v.,\ f.)$ $PC \leftarrow kód\ adr$	
LJMP kód adr	$PC \leftarrow kód\ adr$	
MOV @Rr, #data	$(Rr) \leftarrow data$	
MOV @Rr, A	$(Rr) \leftarrow (A)$	
MOV @Rr, data adr	$(Rr) \leftarrow (data\ adr)$	
MOV A, #data	$A \leftarrow data$	P
MOV A, @Rr	$A \leftarrow (Rr)$	P
MOV A, Rr	$A \leftarrow (Rr)$	P
MOV A, data adr	$A \leftarrow (data\ adr)$	P
MOV C, bit adr	$C \leftarrow (bit\ adr)$	C
MOV DPTR, #data	$DPTR \leftarrow data$	
MOV Rr, #data	$Rr \leftarrow data$	

Symbolická instrukce	Účinnost	Ovlivňené příznaky
MOV Rr, A	$Rr \leftarrow (A)$	
MOV Rr, data adr	$Rr \leftarrow (data\ adr)$	
MOV bit adr, C	$bit\ adr \leftarrow C$	
MOV data adr, #data	$data\ adr \leftarrow data$	
MOV data adr, @Rr	$data\ adr \leftarrow (Rr)$	
MOV data adr, A	$data\ adr \leftarrow (A)$	
MOV data adr, Rr	$data\ adr \leftarrow (Rr)$	
MOV data adr 1, data adr 2	$data\ adr\ 1 \leftarrow (data\ adr\ 2)$	
MOV A, @A+DPTR	$A \leftarrow ((A) + (DPTR))$	P
MOV A, @A+PC	$A \leftarrow ((A) + (PC))$	P
MOV @DPTR, A	$(DPTR) \leftarrow (A)$	
MOV @Rr, A	$(Rr) \leftarrow (A)$	
MOV A, @DPTR	$A \leftarrow ((DPTR))$	P
MOV A, @Rr	$A \leftarrow (Rr)$	P
MUL AB	$AB \leftarrow (A) * (B)$	C, OV, P
NOP	Základní operace.	
ORL A, #data	$A \leftarrow (A) \vee data$	P
ORL A, @Rr	$A \leftarrow (A) \vee (Rr)$	P
ORL A, Rr	$A \leftarrow (A) \vee (Rr)$	P
ORL A, data adr	$A \leftarrow (A) \vee (data\ adr)$	P
ORL C, bit adr	$C \leftarrow C \vee (bit\ adr)$	C
ORL C, bit adr	$C \leftarrow C \vee (bit\ adr)$	C
ORL data adr, #data	$data\ adr \leftarrow (data\ adr) \vee data$	
ORL data adr, A	$data\ adr \leftarrow (data\ adr) \vee (A)$	

Jozwiński

15. U obvodu 8051 nemá obahs registra požívaného pro definování adresování překladač hodnotu 127. Je-li obahs registru 128 nebo více, pak zdrojový operandy poskytlí neudělovávají data a data ukládání na místo cílových operandů jsou ztracena. V obou případech program bude zrušeny výplně pokračování dále.
16. Je-li port V/V specifikován jako zdrojový operand, jsou data šifra z šifrovaného portu. Je-li port V/V cílový operand, jsou data přifilmařna do záčtyových klopových obvodů portu.
17. Je-li obahs ukazatele záoobnůlnu 128 nebo větší, navrueaji se naplňdání datu při instalaci POP nebo RETURA.

Předeem definované bitové adresy pro 8051

Tabulka 2

Symbol	Bitový selektor	Bitová adresa	Význam
CY	PSW.7	D7H	Přenosový bit
AC	PSW.6	D6H	Pomocný přenosový bit
P0	PSW.5	D5H	Příznak 0
RS1	PSW.4	D4H	Bity 0 a 1 výběru banky registrů
RS0	PSW.3	D3H	Příznak přetečení
OV	PSW.2	D2H	Paritní bit
P	PSW.0	D0H	Příznak přetečení časovače 1
TF1	TCON.7	6FH	Řídicí bit časovače 1
TF0	TCON.6	6EH	Příznak přetečení časovače 0
TR0	TCON.5	6DH	Řídicí bit časovače 0
TR1	TCON.4	6CH	Příznak přerušení úrovně 1
IT1	TCON.3	6BH	Řídicí bit přerušení 1
IT0	TCON.2	6AH	Příznak přerušení úrovně 0
IE0	TCON.1	69H	Řídicí bit přerušení úrovně 0
IE1	TCON.0	68H	Řídicí bit 0 sériového režimu
SM0	SCON.7	9FH	Řídicí bit 1 sériového režimu
SM1	SCON.6	9EH	Řídicí bit 2 sériového režimu
SM2	SCON.5	9DH	Řídicí bit sériového příjmu
REN	SCON.4	9CH	Vysílaný 9. datový bit (viz režim 2 a 3)
T88	SCON.3	9BH	Přijmutý 9. datový bit (viz režim 2 a 3)
RB8	SCON.2	9AH	Příznak přerušení při výstupu
TI	SCON.1	99H	Příznak přerušení při příjmu
RI	SCON.0	98H	Všechna přerušení povolena
EA	IE.7	AFH	Povoleno přerušení sériového portu
ES	IE.4	ACH	Povoleno přerušení časovače 1
ET1	IE.3	ABH	Povoleno externí přerušení 1
EX1	IE.2	A9H	Povoleno přerušení časovače 0
EX0	IE.1	A8H	Povoleno externí přerušení 0
K10	IE.0	A7H	

Tabulka 2 - pokrač.

Symbol	Bitový selektor	Bitová adresa	Význam
RD	P3.7	B7H	Čtení dat z vnější paměti
WR	P3.6	B6H	Zápis dat do vnější paměti
T1	P3.5	B5H	Externí příznak časovače/čítače 1
T0	P3.4	B4H	Externí příznak časovače/čítače 0
INT1	P3.3	B3H	Vstupní špička přerušení 1
INT0	P3.2	B2H	Vstupní špička přerušení 0
TXD	P3.1	B1H	Vstupní špička sériového portu
RXD	P3.0	B0H	Vstupní špička sériového portu
FS	IP.4	BCH	Priorita přerušení od sériového portu
PT1	IP.3	B8H	Priorita přerušení od časovače 1
PT0	IP.2	BAH	Priorita externího přerušení 1
PX0	IP.1	B9H	Priorita přerušení od časovače 0
PX0	IP.0	B8H	Priorita externího přerušení 0

2.1.6 Kódové adresy (programové adresy)

Kódové adresy jsou absolutní výrazy v intervalu od 0 do 65 535 nebo relativní výrazy typu CODE. Existují tři typy instrukcí, které jako operandy vyžadují kódové adresy. Jsou to:

- relativní a podmíněné skoky,
- skoky nebo volání v rámci bloku (2K stránka),
- dlouhé skoky nebo volání.

Jednotlivé typy se liší v rozsahu hodnot, které mohou operandy, vyjádřené kódovou adresou, nabývat. Pouze má část všech možných kódových adres může být využita pro relativní skoky nebo skoky v rámci bloku (od adresy 00 do 2 048₁₀). Instrukce, které vyžadují jako operand kódovou adresu, musí mít tyto operandy předeem specifikovány jako typ CODE, nebo jako číslo bez udání typu.

- číslo hodnotou je konstanta,
- adresa pro absolutní symbol je hodnotou absolutní adresa, která obsahuje adresovatelné místo. Pro relativní adresový symbol je hodnotou relativní adresa v daném segmentu (zadaná v bitech nebo slabičkách a záviad na typu segmentu).

Pokud jste někde v programu definovali symbol, můžete jej použít v následném operandu stejně jako se používají konstanty. Musíte ovšem zachovat zvláštnosti jednotlivých typů segmentů. Požadované typy segmentů pro každý numerický operand jsou popsány dále. Tvoření uživatelem definovaných symbolů je popsáno v kapitole o direktivách.

V tabulce 5 je přehled všech implicitně definovaných symbolů a jejich datových adres. Seznam implicitně definovaných symbolů a jejich bitových adres je v tabulce 2.

Tyto symboly se vyhodnocují na datovou adresu a nemohou být použity v instrukcích volajících speciální assemblerový symbol. Např.:

ADD A,M5 ; A je speciální assemblerový symbol požadovaný ; pro tento operand.
ADD ACC,M5 ; Chybná instrukce, která bude generovat chybu.
; ACC je adresa a ne symbol potřebný pro ; instrukci.

Hodnotou počítačové adresy (značí se \$) je adresa právě překládané instrukce a je možné ji použít v následném operandu. Další informace najdete v kapitole o direktivách.

Implicitně definované datové adresy pro 8051 Tabulka 5

Symbol	Šestičíslová adresa	Význam
ACC	E0	středně
B	P0	multiplexční registr
DPH	B3	ukazatel dat (vyšší slabika)
DPL	B2	ukazatel dat (nižší slabika)
IE	A8	řízení povolení přerušení
IP	BH	řízení priority přerušení
P0	B0	port 0
P1	90	port 1
P2	A0	port 2
P3	B0	port 3
PW	DO	stavové slovo programu
SRUF	99	vyrov. paměť sériových dat
SCON	98	řízení sériového portu
SP	81	ukazatel zásobníku
TCOM	B6	řízení časovače
TH0	8C	časovač 0 (vyšší slabika)
TH1	8D	časovač 1 (vyšší slabika)
TLO	8A	časovač 0 (nižší slabika)
TL1	8B	časovač 1 (nižší slabika)
TMOD	89	řízení režimu časovače/kítače

2.3 Operátory ve výrazech

Ve výrazech je možné použít 4 druhy operátorů. Jsou to:

- aritmetické operátory,
- logické operátory,
- speciální operátory,
- relační operátory.

Výsledkem operací s těmito operátory je vždy 16bitová hodnota. Instrukce, které používají jako operand pouze 8 bitů, budou pracovat s nižší slabikou výrazu.

Poznámky: Číslo poznámek v seznamu, který je uveden za popl-
sem polední instrukce.

Další potřebné tabulky (např. přehledné seznamy instrukcí
řazených podle abecedy nebo podle rostoucích hodnot operačních
znaků, seznam direktiv, převodní tabulky čísel z jedné čísel-
né soustavy do jiné, znaky kódu ASCII apod.) jsou uvedeny
v přílohách A až G na konci této příručky.

Symby a zkratky používané v popisu instrukcí Tabulka 10

Symbol	Význam
A	Střadař
AB	Dvojitě registrováno pro násobení nebo dělení.
B	Registrováno pro násobení nebo dělení.
bit adr	Adresa bitu (bitová adresa) v obvodu 8051.
adr stránky	Jedenáctibitová kódová adresa umístěná 2 K sta- vikové stránky.
rel posun	Osmibitové relativní posunutí (offset) ve tvary čísla ve dvojkovém doplnkovém kódu.
C	Příznak přenosu.
kód adr	Absolutní kódová adresa.
data	Přímá data (přímý operand).
data adr	Osmibitová adresa v paměti RAM na řádku (tj. datová adresa).
DPTR	Ukazatel dat.
PC	Programový čítač (čítač instrukcí).
Rr	Registrováno (r = 0 až 7 - celá čísla; při nepří- mém adresování r = 0 nebo 1).
SP	Ukazatel zásobníku.
v. ř.	Slabika vyšších řádů.
n. ř.	Slabika nižších řádů.
1 - j	Bity 1 až j.
n	Bit čísla n.
Λ	Logický součin.
V	Logický součet.
Λ V	Součet modulo 2 (exclusive OR).
Λ	Negace prvku X.
+	Plus.
-	Minus.
*	Násobení.
/	Dělení.
(X)	Obsah prvku X.
((X))	Obsah paměťové buňky adresované obsahem prvku X.
=	Rovně.

Tab. 10 - pokrač.

Symbol	Význam
<	Menší než.
>	Větší než.
↑	Přesun hodnoty zprava doleva.
#	Číslice nula.
@	Označení přímých dat v symbolické instrukci. Označení nepřímé adresy v symbolické instrukci.

ACALL	Absolute Call within 2 KB Page Volání podprogramu uvnitř 2 K slovkové stránky	ACALL
--------------	---	--------------

Oper. kód: ACALL

Operandy: kód adr

Formát: ACALL kód adr

Strojový kód:

00010001	00000000
7	0 7 0

Činnost:

$PC \leftarrow (PC) + 2$
 $SP \leftarrow (SP) + 1$
 $(SP) \leftarrow (PC \text{ n. ř.})$
 $SP \leftarrow (SP) + 1$
 $(SP) \leftarrow (PC \text{ v. ř.})$
 $PC-10 \leftarrow \text{adr stránky}$

Slabik:

Cyklů:

Popis:

2	2	C	AC	PW	RS1	RS0	OV	P

PSW

Instrukce uloží inkrementovaný obsah programového čítače (tj. návratovou adresu) do zásobníku. Slabika níže uvedených řádů programového čítače se do zásobníku ukládá jako první. Cílová adresa počátku podprogramu se vytvoří z pěti nejvyšších bitů inkrementovaného programového čítače, z bitů 7 až 5 operačního znaku a z druhé slabiky strojového kódu instrukce ACALL. Volaný podprogram tedy musí začínat uvnitř této 2 K slabkové stránky paměti, ve které je umístěna instrukce následující za ACALL. Jednotlivé adresy uvnitř 2 K slabkové stránky se skládá ze tří nejvyšších bitů operačního znaku a z osmi bitů druhé slabky strojového kódu instrukce ACALL.

V následujícím přehledu direktiv jazyka assembler je obsaženo jméno direktivy, tvar a stručný popis. Podrobný popis všech direktiv obsahuje kapitola 4.

Jméno	Tvar	Popis
BIT	Jméno symbolu BIT adres	Přikazuje jménu symbolu bitovou adresu.
BSEG	BSEG [AT absolutní adresa]	Definuje absolutní segment v bitové adresovatelném prostoru.
CODE	Jméno symbolu CODE výraz	Přikazuje jménu symbolu programovou adresu.
CSEG	CSEG [AT absolutní adresa]	Definuje absolutní segment v programové paměti.
DATA	Jméno symbolu DATA výraz	Přikazuje jménu symbolu adrese vnitřní datové paměti.
DB	[návěští:] DB výraz	Generuje seznam bitových hodnot.
DBIT	[návěští:] DBIT výraz	Rezervuje určený počet bitů v segmentu typu BIT.
DS	[návěští:] DS výraz	Rezervuje určený počet slov v segmentu typu DS.
DSEG	DSEG [AT absolutní adresa]	Definuje absolutní segment ve vnitřní datové paměti.
DW	[návěští:] DW seznam výrazů	Generuje seznam 16bitových hodnot.
END	END	Ukazuje konec programu.
300		

Jméno	Tvar	Popis
EQU	Jméno symbolu EQU výraz nebo Jméno symbolu EQU symbol	Přikazuje jménu symbolu číselnou hodnotu nebo rezervovaný symbol.
EXTERN	EXTERN typ seznam segmentů (jmén symbolů)	Definuje vnější jména v překladacím modulu.
IDATA	Jméno symbolu IDATA výraz	Přikazuje jménu symbolu nepřímou vnitřní datovou adresu.
ISEG	ISEG [AT absolutní adresa]	Definuje absolutní segment v nepřímé adresovatelné vnitřní datové paměti.
NAME	Jméno modulu NAME modulu	Přikazuje jména programového modulu.
ORG	ORG výraz	Nastavení počítadla adres v aktuálním segmentu.
PUBLIC	seznam jmén PUBLIC jmén	Zveřejňuje jména uvedená v seznamu jmén mimo rozsah překladacího modulu.
RSEG	Jméno segmentu RSEG segmentu	Volba relativního segmentu.
SEGMENT	Jméno relativního segmentu SEGMENT typ segmentu [přímistitelnost] Definuje relativní segment.	
SET	Jméno symbolu SET výraz nebo Jméno symbolu SET symbol	Přikazuje jménu symbolu číselnou hodnotu nebo rezervovaný symbol.
301		

Jméno	Typ	Popis
USING	USING výraz	Určuje banku registrů, která se bude používat v programu.
DATA	Jméno symbolu DATA výraz	Přikazuje jménu symbolu adresu ve vnější datové paměti.
XSEG	XSEG [AT absolutní adresa]	Definuje absolutní segment ve vnější datové paměti.

Příloha E - Přehled standardních funkcí

Následující seznam obsahuje všechny standardní funkce makrojazyka v abecedním pořadí:

```
%'text' nebo %'text znak_konec_řádku
%(vyvážený text)
%DEFINE(jméno)[seznam lokálních symbolů](tělo makroinstrukce)
%DEFINE(jméno[seznam parametrů])[LOCAL seznam lokálních
symbolů](tělo makroinstrukce)
%#n text o délce n znaků
%ABS(par1,par2)
%VAL(výraz)
%EXIT
%GDS(par1,par2)
%GDS(par1,par2)
%IP(výraz)WHEN(vývážený text1)[ELSE(vývážený text2)]PI
%IN
%IN(vývážený text)
%INS(par1,par2)
%IFS(par1,par2)
%MATCH(identifikátor oddělovač identifikátor2)(vyvážený text)
%MATCHAR(vývážený text)
%NES(par1,par2)
%OUT(vývážený text)
%REPEAT(výraz)(vyvážený text)
%SET(makro-id,výraz)
%SUBSTR(vývážený text,výraz1,výraz2)
%WHILE(výraz)(vyvážený text)
```

Poznámka:

Vývážený text je takový text, který obsahuje stejný počet otevíracích a uzavíracích závo-

Príloha P - Rezervované symboly

14/11

Následující tabulka obsahuje seznam rezervovaných symbolů makrojazyka (operátory, operanční kódy, symbolické adresy registrů, direktivy, operandy):

Operatory				
AND	GT	LOW	NE	SRL
EQ	HIGH	LT	NOT	SRR
GE	LE	MOD	OR	XOR
Operand kódy				
ACALL	DSG	JNG	NOF	RRC
ADD	DIV	JNZ	ORL	SETE
ADDC	DJNZ	JZ	POP	SJMP
AJMP	INC		PUSH	SUBB
ANL	JB		RBT	SWAP
CJNE	JBC	MOV	KEFL	XCH
CIR	JO	MOVC	RL	XCHD
CPL	JMB	MOV	RLC	XRL
DA	JNB	MUL	RR	
Symbolické adresy registrů				
A0	AR2	AR4	AR6	
AR1	AR3	AR5	AR7	
Direktivy				
BIT	DB	END	NAME	SET
BSBG	DBIT	KQU	ORG	USING
CODE	DS	EXTM	PUBLIC	XDATA
CSBG	DSET	ITATA	RSEG	XSEG
DATA	DW	ISRG	SEGMENT	

18/2

[illegible]

Резюме:

Operandy bez hvězdičky jsou rezervovány pouze při použití řídícího parametru MOD51.

6.2.6 Funkce mikropočítačů 8035 a 8048

Konstrukce mikropočítačů řady 48 umožňuje přenos jen jednoho byte. Jejich funkce je obdobná s již dostatečně známým mikroprocesorem 8080A. Navíc je zde však umožněn režim se sníženým příkonem, kdy dojde k zastavení mikropočítače, snížení příkonu na 10 až 15 % normální spotřeby, ale obsah vnitřní paměti dat RWM-RAM zůstane zachován. Napájecí vývod U_{CC} slouží k napájení většiny obvodů mikropočítače, zatímco U_{DD} napájí jen vnitřní paměť dat a vnitřní generátor záporného napětí. Za normálního provozu je na obou vývodech napětí +5V, v režimu se sníženým příkonem je $U_{CC} = 0\text{ V}$ a U_{DD} je přepnut na záložní zdroj. Při návratu z tohoto režimu a obnovení napájecího napětí U_{CC} musí následovat programová obnova informací uložených před výpadkem napájení.

Další informace může zájemce získat studiem lit. /3/, /9/, /13/, /17/ až /19/.

6.3 Jednočipové mikropočítače řady 51

Jednočipové mikropočítače řady 51 jsou dalším vývoje-
vým stupněm navazujícím na řadu 48. Jejich přehled uvádí
tab. 6.10.

Jsou charakterizovány následujícími vlastnostmi:

- osmibitový procesor (CPU)
- oscilátor a obvod hodin na čipu
- vnitřní paměť pro uložení programu (ROM, EPROM, nemá 8031, 8032, 8344)
- vnitřní paměť pro data (RAM)
- 64 kB adresovaný prostor pro vnější paměť programu
- 64 kB adresový prostor pro vnější paměť dat
- 32 linek I/O
- dva 16ti bitové čítače/časovače (tři u 8052 a 8032)
- 5 zdrojů přerušení (šest u 8052 a 8032) se dvěma úrovněmi priorit
- plně duplexní sériový port
- Booleovský procesor

Tab. 6.10

Typ mikropočítače	Paměť programu (byte)	Paměť dat (byte)	Počet I/O portů x počet bitů	Přerušení vnější/vnitřní	Vnitřní čítač/délka (bity)
8051	ROM	128 + SFR	4 x 8	2/3	2 x 16
8751	4k EPROM	128 + SFR	4 x 8	2/3	2 x 16
8031	-	128 + SFR	4 x 8	2/3	2 x 16
8052	ROM 8k	256 + SFR	4 x 8	2/4	3 x 16
8032	-	256 + SFR	4 x 8	2/4	3 x 16
8044	ROM 4k	192 + SFR	4 x 8	2/3	2 x 16
8744	EPROM 4k	192 + SFR	4 x 8	2/3	2 x 16
8344	-	192 + SFR	4 x 8	2/3	2 x 16

dále pak

- aritmetika dekadická a binární
- 16 bitová adresa (celkem lze adresovat 64 kB)
- 4 osmibitové sběrnice
- základní instrukční cyklus
- výkonný soubor 111 instrukcí
- jedno napájecí napětí 5 V
- režim snížení spotřeby
- plně kompatibilní s TTL obvody
- nulovací obvody

Technická data mikropočítačů řady 51 jsou obdobná s technickými daty řady 48.

6.3.1 Popis vývodů mikropočítačů řady 51

Označení jednotlivých vývodů znázorňuje obr. 6.5, jejich popis pak uvádí tab. 6.11.

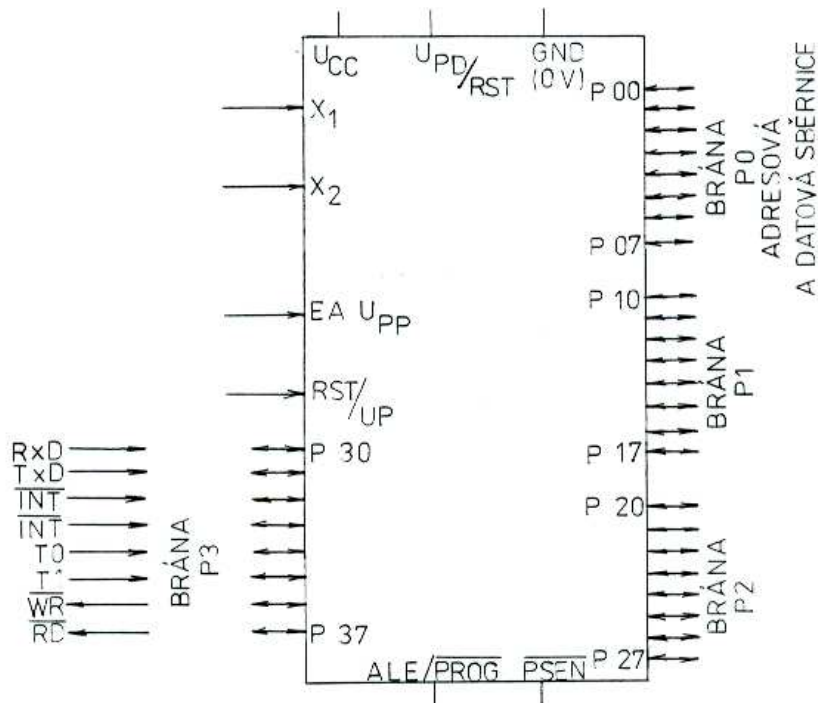
6.3.2 Struktura mikropočítačů řady 51

Strukturu mikropočítače znázorňuje obr. 6.6. Některé bloky si popíšeme podrobněji.

Vstupy a výstupy (I/O). Mikropočítače řady 51 mají 4 obousměrné brány (P0 až P3). Všechny jsou vybaveny vyrovnávacím registrem (Latch). Brány P1 až P3 mají vnitřní pevné posilovací obvody. Brána P0 má výstupy s otevřeným kolektorem a je třístavová. Každá I/O linka bran může být nezávisle použita jako vstup nebo výstup.

Bránu P0 lze použít jako systémovou sběrnici, na které je multiplexován dolní byte adresy a data. Zároveň se po ní přenáší kód instrukce z vnější paměti do mikropočítače.

Bránu P2 lze použít k přenosu horního byte adresy. Bity P20 až P23 slouží též jako čtyřbitová sběrnice pro připojení expanderu 8243, obdobně jako u řady 48. K řízení vzájemné komunikace mezi expanderem a mikropočítačem slouží ještě bity P23 a P25.



Obr. 6.5 Vývody mikropočítačů řady 51

Tab. 6.11

Označení vývodu	Alternativní funkce	Význam
GND	U _{PD}	Potenciál referenčního uzlu 0V.
U _{CC}		Napájecí napětí +5 V při normálním režimu.
RST		Vstup pro nulování anebo napájení v režimu se sníženým příkonem. Při nulování musí být na této špičce hodnota log.1 po dobu nejméně dvou strojových cyklů v době, kdy již běží oscilátor.

pokr. tab. 6.11

P00 až P07	Přenos nižšího bytu adresy nebo bytu dat	Osmibitová obousměrná brána (port) P0 s otevřeným kolektorem, vyrovnávací pamětí a posílením. Lze připojit až 8 zátěží TTL-LS. Je multiplexována jako adresová sběrnice (dolní byte 16 bitové adresy) nebo datová sběrnice a pro načítání instrukcí. Lze naprogramovat po jednotlivých bitech.
P10	T2 *	Osmibitová brána (port) P1 obousměrná s vyrovnávací pamětí a posílením. Lze programovat po jednotlivých bitech. Lze připojit čtyři zátěže TTL-LS. Označené vývody * jsou jen u 8052.
P11	T2EX *	
P12 až P17		
P20 až P27	Přenos vyššího bytu adresy	Osmibitová brána P2 obousměrná s vyrovnávací pamětí a posílením. Vysílá též horní byte šestnáctibitové adresy vnější paměti. P20 až P23 slouží též jako čtyřbitová sběrnice pro připojení expandéru 8243. Lze připojit čtyři zátěže TTL-LS.
P30	RXD	Osmibitová obousměrná brána (port) P3 s vyrovnávací pamětí a posílením. Lze připojit čtyři zátěže TTL-LS.
P31	TXD	
P32	$\overline{\text{INT0}}$	Významy alternativních vývodů jsou uvedeny v tab. 6.12.
P33	$\overline{\text{INT1}}$	
P34	TO	
P35	T1	
P36	$\overline{\text{WR}}$	
P37	RD	

pokr. tab. 6.11

$\overline{\text{PSEN}}$		Výstupní řídicí signál přenosu z vnější paměti programu.
ALE	$\overline{\text{PROG}}$	<p>Povolení zachycení adresy.</p> <p>Výstupní impuls signálu ALE zachycuje nižší byte adresy při styku s vnější pamětí. Signál ALE se generuje s konstantní rychlostí rovnou 1/6 frekvence oscilátoru. Využívá se pro účely vnějšího časování nebo hodin, zvláště když se nepracuje s vnější pamětí. (Při každém styku s vnější pamětí dat se potlačuje jeden impuls signálu ALE).</p> <p>Tento vývod se také alternativně využívá pro vstup programovacích impulsů při programování vnitřní paměti EPROM.</p>
$\overline{\text{EA}}$	U_{PP}	<p>Vstupní signál, který umožňuje přístup do vnější paměti programu obdobně jako u řady 48. Je-li na úrovni log.1, mikropočítač pracuje s vnitřní pamětí, pro úroveň log.0 s vnější.</p> <p>U 8031 a 8032 musí být na úrovni log.0. U obvodu 8751 se na tento vývod při programování vnitřní paměti EPROM připojuje programovací napětí $U_{PP} = 21 \text{ V}$.</p>
XTAL 2		Vstup do invertujícího zesilovače oscilátoru.
XTAL 1		Výstup z invertujícího zesilovače oscilátoru.

Tyto dvě brány P0 a P2 mají proti zbývajícím P1 a P3 určitá omezení v tom, že jsou-li použity ve výše popsaném režimu, nelze je již obecně využít jako vstupy a výstupy.

Všechny bity brány P3 mají navíc alternativní funkce, jejichž význam je uveden v tab. 6.12. Alternativní funkce mohou být použity jen tehdy, je-li ve vyrovnávací paměti příslušného bitu zapsána úroveň log.1.

Tab. 6.12

Vývod	Označení	Význam
P10	T2	externí vstup čítače/časovače 2 (jen pro 8032/8052)
P11	T2EX	signál pro zachycení hodnoty nebo nového naplnění čítače/časovače 2 (jen pro 8032/8052)
P30	RXD	sériový vstupní port
P31	TXD	sériový výstupní port
P32	$\overline{\text{INT0}}$	vstup vnějšího přerušení
P33	$\overline{\text{INT1}}$	vstup vnějšího přerušení
P34	T0	vnější vstup čítače/časovače 0
P35	T1	vnější vstup čítače/časovače 1
P36	$\overline{\text{WR}}$	zápis do vnější paměti dat
P37	$\overline{\text{RD}}$	čtení z vnější paměti dat

Po počáteční inicializaci (signál RESET) jsou všechny brány nastaveny jako vstupní. Brány P1 až P3 lze zatížit čtyřmi vstupy, bránu P0 pak 8 vstupy TTL-LS.

Sériový kanál tvořený alternativními funkcemi vývodů brány P3 je plně duplexní, tj. může vysílat a přijímat současně. Má rovněž vyrovnávací paměť přijímaného znaku, takže může začít příjem dalšího znaku, aniž byl předchozí proce-

sorem přečten. Pokud však nebyl přečten do doby příjmu následujícího znaku, je ztracen.

Sériový kanál může pracovat v těchto čtyřech režimech:

režim 0: Sériová data vstupují a vystupují vývodem RXD. Vývodem TXD vystupují hodiny posuvu. Vysílá se nebo přijímá 8 datových bitů, nejméně významné (LSB) nejdříve. Přenosová rychlost je pevná a rovná 1/12 frekvence oscilátoru.

režim 1: Je vysíláno 10 bitů vývodem TXD nebo přijímáno 10 bitů vývodem RXD v následující posloupnosti: 1 start bit, 8 datových bitů a 1 stop bit. Při příjmu je stop bit uložen v bitu RB8 řídicího registru SCON sériového kanálu (viz obr. 6.7 a tab. 6.13). Rychlost přenosu je volitelná.

režim 2: Je vysíláno 11 bitů vývodem TXD a přijímáno 11 bitů vývodem RXD, v následující posloupnosti: 1 start bit, 8 datových, 1 programovatelný (bit TB8 ve SCON, případně paritní bit P z PSW, viz obr. 6.9). Při příjmu se do RB8 ukládá tento programovatelný 9. bit a stop bit je vynechán. Přenosová rychlost je programovatelná na 1/32 nebo 1/64 frekvence oscilátoru.

režim 3: Tento režim je shodný s režimem 2 s výjimkou přenosové rychlosti, která je volitelná.

Režim 2 a 3 mají navíc speciální funkci určenou pro multiprocessorovou komunikaci.



Obr. 6.7 Řídicí registr SCON sériového kanálu

Tab. 6.13

Bit	Označení	Název	Význam
0	RI	Received Interrupt Flag	Příznak přerušení při příjmu. Nulování musí být programem.
1	TI	Transmit Interrupt Flag	Příznak přerušení při vysílání. Nulování musí být programem.
2	RB8	Received Bit 8	Devátý datový bit při příjmu v rež. 2 a 3.
3	TB8	Transmitted Bit 8	Devátý datový bit při vysílání v rež. 2 a 3.
4	REN	Reception Enable	Povolení sériového příjmu.
5	SM2	Serial Mode 2	Povolení víceprocesorové komunikace v rež. 2 a 3.
6 až 7	SM1-SM0	Serial Mode	Určení režimu sériového kanálu

SM0	SM1	režim
0	0	0
0	1	1
1	0	2
1	1	3

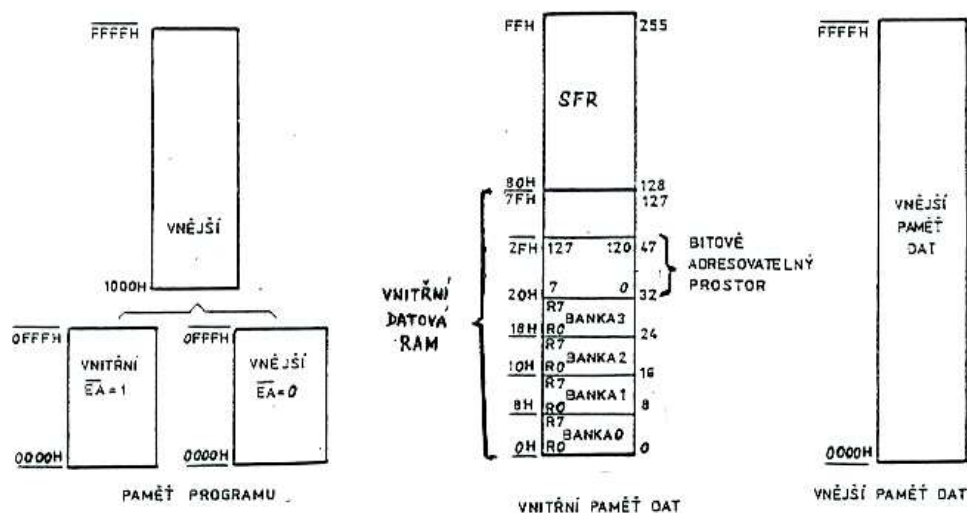
Obdobně jako u mikropočítačů řady 48 lze i zde rozdělit paměťový prostor na paměť programu a paměť dat. Dělení je provedeno následovně:

64 kB paměti programu (z toho 4 kB na čipu, zbytek jako vnější paměť), u 8031 a 8032 je celá paměť programu vně

64 kB paměti dat vnější

256 byte paměti dat vnitřní

Přehled paměťových prostorů mikropočítačů řady 51 uvádí obr. 6.8.



Obr. 6.8 Přehled paměťových prostorů mikropočítačů řady 51

Paměť programu slouží k uložení programu a konstant. Může mít kapacitu až 64 kB. Je rozdělena na vnitřní 4 kB ROM nebo EPROM (viz tab. 6.10) a zbylá část jako vnější. U typů 8031 a 8032 musí být celá vnější. Která část paměti programu bude použita rozhoduje stav vývodu EA. Má-li EA úroveň log.1 provádí se program uložený ve vnitřní paměti programu pokud adresa nepřekročí hodnotu FFFFH (pro obvody 8052 hodno-

tu 1FFFH). Od adresy 1000H až FFFFH (pro 8052 v rozmezí 2000H až FFFFH) pak z vnější paměti programu. Je-li vývod \overline{EA} připojen na úroveň log.0, vybírají se všechny instrukce programu od adresy 0000H z vnější paměti programu. Pro adresování se používá šestnáctibitový čítač programu PC. Ke komunikaci mikropočítače a vnější paměti programu slouží signály ALE a \overline{PSEN} .

Paměťová místa o adresách 00H až 23H (00H až 2BH pro řadu 52), viz tab. 6.14, mají specifický význam. Na uvedených adresách musí být umístěny počátky podprogramů pro obsluhu příslušných přerušení.

Tab. 6.14

Adresa	Význam
0000H	Start programu po skončení signálu RESET
0003H	vnější přerušování 0
000BH	přerušování přetečením registru čítače/časovače 0
0013H	vnější přerušování 1
001BH	přerušování přetečením registru čítače/časovače 1
0023H	přerušování od sériového kanálu

Vnější paměť dat může mít kapacitu až 64 kB a je přístupná jen prostřednictvím instrukcí MOVX. Komunikace s ní se děje prostřednictvím signálů \overline{RD} a \overline{WR} (viz brána P3).

Vnitřní paměť dat je rozdělena do dvou oddělených bloků po 128 byte. První blok paměti RAM a druhý speciálních funkčních registrů (SFR).

První blok se skládá ze čtyř sad univerzálních registrů, z nichž každá obsahuje 8 osmibitových registrů R0 až R7. Sady registrů zabírají adresy 0 až 31 (00H až 1FH). V každém okamžiku může být použita jen jedna sada, určená bity RS0 a RS1 v stavovém slovu programu PSW (viz obr. 6.9). Dalších 16 bytů paměti o adresách 32 až 127 (20H až 2FH)

představuje 128 pozic adresovatelných po jednotlivých bitech a slouží jako paměť pro Booleovský procesor. Lze ji však též adresovat i po celých bytech. Zbylá paměť 64 byte o adresách 48 až 127 (30H až 7FH) je adresovatelná po celých bytech a je volně přístupná pro libovolná data.

Druhý blok s adresami 128 až 255 (80H až FFH) tvoří blok speciálních funkčních registrů. Jejich přehled uvádí tab. 6.15. Registry tvoří souvislý blok. Jsou adresova-

Tab. 6.15

Registr	Název	Funkce	Adresa	
A	Accumulator (strádač)	strádač	0EOH	224
B	Register B	pomocný registr pro násobení a dělení, jinak je volně použitelný	0FOH	240
PSW	Program Status Word	stavové slovo programu	ODOH	208
SP	Stack Pointer	ukazatel zásobníku	81H	129
DPTR	Data Pointer - low byte - high byte	ukazatel dat - šestnáctibitový registr, jehož poloviny mohou být adresovány nezávisle	82H	130
			83H	131
P0	Port 0	vyr. paměť brány 0	80H	128
P1	Port 1	vyr. paměť brány 1	90H	144
P2	Port 2	vyr. paměť brány 2	0A0H	160
P3	Port 3	vyr. paměť brány 3	0B0H	176
IP	Interrupt Priority Control	přidělení priority zdrojům přerušení	0B8H	184

pokr. tab. 6.15

IE ^{NO} NA	Interrupt Enable Control	povolení přerušení z určitého zdroje	A8H	168
TMOD	Timer/Counter Mode Control	režim práce čítačů/časovačů	89H	137
TCN	Timer/Counter Control	řízení provozu čítačů /časovačů	0C8H	200
TH0	Timer/Counter 0 - high byte	vyšší byte a čítače/časovače 0	8CH	140
TLO	Timer/Counter 0 - low byte	nižší byte čítače/časovače 0	8AH	138
TH1	Timer/Counter 1 - high byte	vyšší byte čítače/časovače 1	8DH	141
TL1	Timer/Counter 1 - low byte	nižší byte čítače/časovače 1	8BH	139
SCN	Serial Control	řízení sériového kanálu	98H	152
SBUF	Serial Data Buffer	vyrovnávací paměť sériového kanálu	99H	153
PCN	Power Control	řízení napájení	87H	135

vatelné jako celý blok v paměti, některé navíc i po jednotlivých bitech. Tento blok paměti netvoří spojitou paměť a čtení obsahu adres, které leží mimo tyto registry, přináší náhodná data.

Vnější paměť dat se využívá tehdy, kdy nepostačuje kapacita vnitřní paměti dat.

Aritmeticko-logická jednotka (ALU) je tvořena kombinací logickými obvody. Zabezpečuje zpracování osmibitových dat z jednoho nebo dvou operandů a může vykonávat tyto operace:

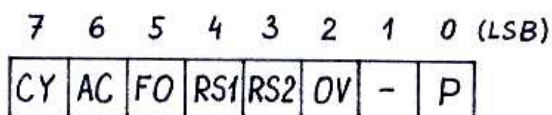
- čtyři aritmetické operace (sčítání, odčítání, násobení a dělení) s přenosem či bez přenosu
- logické operace AND, OR, EXCLUSIVE OR
- přičtení či odečtení jedničky (dekrement a inkrement)
- komplement (negaci) bitu
- rotace vpravo a vlevo s přenosem či bez přenosu
- výměnu nižší a vyšší poloviny osmibitového slova (bytu)
- nastavení byte do BCD tvaru

Nejvýznamnějším registrem je strádač A. Má obvyklé funkce jako u jiných mikropočítačů, je v něm uložen jeden z operandů a též výsledek operace. Pomocné registry TMP1 a TMP2 mají stejný význam jako pomocné registry TMP a ACT u mikropočítačů řady 48. Pomocný registr B slouží k uložení druhého operandu při násobení a dělení. Lze ho též použít jako zápisníkový registr.

Ukazatel zásobníku SP je osmibitový registr, který ukazuje poslední obsazenou adresu zásobníku. Zásobník může být umístěn kdekoliv v interní paměti RAM. Po inicializaci systému signálem RESET se obsah SP nastaví na 07H, takže data budou ukládána od adresy 08H. Zásobník tedy začíná v sadě registrů 1.

Ukazatel dat (DPTR) je tvořen dvěma registry - DPH (vyšší byte) a DPL (nižší byte). Uchovává šestnáctibitovou adresu. Může se využívat jako šestnáctibitový registr nebo jako dva nezávislé osmibitové.

Registr stavového slova je osmibitový a uchovává stavové slovo PSW, které obsahuje informace o stavu programu a výsledcích některých předchozích operací. Tvar stavového slova ukazuje obr. 6.9 a význam jednotlivých bitů tab. 6.16.



Obr. 6.9 Stavové slovo programu

Tab. 6.16

Bit	Označení bitu	Název	Význam															
0	P	Parity Flag (Parita)	Paritní bit - je nastavován /nulován v každém instrukčním cyklu a indikuje lichý/sudý počet jedniček ve střadači. Doplnjuje jeho obsah na sudou paritu (sudý počet jedniček).															
1	-		Rezerva															
2	OV	Overlow Flag (přetečení)	Indikuje přetečení střadače															
3,4	RS0, RS1	Registr Bank Select	Řídící bity pro výběr sady registrů <table border="1"><thead><tr><th>RS1</th><th>RS0</th><th>sada</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>2</td></tr><tr><td>1</td><td>1</td><td>3</td></tr></tbody></table>	RS1	RS0	sada	0	0	0	0	1	1	1	0	2	1	1	3
RS1	RS0	sada																
0	0	0																
0	1	1																
1	0	2																
1	1	3																
5	FO	Flag 0 (uživatel-ský příznak)	Uživatelem programově nastavitelný															
6	AC	Auxiliary Carry (pomocný přenos)	Používá se při dekadické úpravě a operacích s čísly v BCD kódu															
7	CY	Carry (přenos)	Bit přenosu, zároveň střadač pro Booleovský procesor															

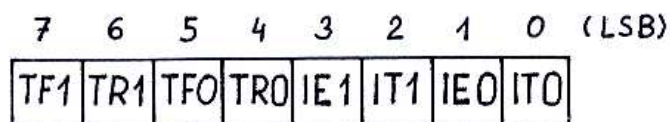
Čítače/časovače. Mikropočítače řady 51 obsahují dva čítače/časovače (ozn. 0 a 1), řady 52 pak tři. Čítače/časovače jsou šestnáctibitové, složené ze dvou osmibitových TLX (Timer Low) a THX (Timer High). X = 0 nebo 1 podle označení čítačů/časovačů. Mohou být použity jako čítače událostí nebo časovače.

Ve funkci časovače je obsah registru zvětšen o 1 při každém strojovém cyklu. Vzhledem k tomu, že každý strojový cyklus je složen z 12 period oscilátoru, je frekvence přičítání rovna $1/12$ frekvence oscilátoru.

Ve funkci čítače událostí se obsah registru zvětší o 1 s každou spádovou hranou vstupního impulsu. Ten je připojen na příslušný vstup T0 nebo T1. Poněvadž na ovzorkování vstupního impulsu jsou potřeba dva strojové cykly, je maximální frekvence čítání rovna $1/24$ frekvence oscilátoru.

Oba čítače/časovače lze použít ve čtyřech režimech

- režim 0: Pracují stejně jako časovače u řady 48. Jsou zapojeny jako třináctibitové, z osmi bitů THX a z pěti bitů TLX. Zbylé tři bity nejsou využity a jejich obsah je náhodný. Přetečení je indikováno příznaky TFO nebo TF1 v řídicím registru čítačů TCON (viz obr. 6.10 a tab. 6.17).
- režim 1: Je shodný s režimem 0 s tím rozdílem, že délka čítačů je celých 16 bitů.
- režim 2: Využívá jen 8 bitů TLX, jehož obsah se při přetečení automaticky nastavuje z registru THX. Obsah THX se nemění.
- režim 3: Tento režim je pro oba čítače/časovače rozdílný. Čítač/časovač 0 je rozdělen na dva samostatné osmibitové čítače TLO a THO. Příznak přetečení TFO je přiřazen registru TLO a TF1 registru THO. Pracuje-li čítač/časovač 0 v režimu 3, může být čítač/časovač buď zastaven, nebo stále používán u sériového kanálu jako generátor přenosové rychlosti, nebo se může využít v jakékoliv aplikaci, která nevyžaduje přerušení.



Obr. 6.10 Řídící registr TCON čítačů/časovačů

Tab. 6.17

Bit	Označení bitu	Název	Význam
0	ITO	Interrupt 0 Type control bit	Řídící bit přerušení 0. Určuje způsob aktivace přerušení 0 - úrovní, 1 - spádovou hranou.
1	IE0	Interrupt 0 Edge Flag	Příznak hrany přerušení 1. Nastaven při detekci hrany, nuluje se automaticky obsluhou přerušení.
2	IT1		Shodné s ITO a IE0, avšak pro přerušení 1.
3	IE0		
4	TRO	Timer 0 Run Control bit	Řídící bit běhu čítače/časovače 0.
5	TFO	Timer 0 Overflow Flag	Příznak přetečení čítače/časovače 0.
6	TR1		Shodné s TRO a TFO, avšak pro čítač/časovač 1.
7	TF 1		

Přerušení. Mikropočítače řady 51 mají pět zdrojů přerušení: 2 vnější ($\overline{\text{INT0}}$, $\overline{\text{INT1}}$) a 3 vnitřní (TFO, TF1 a log. součet signálů TI, RI - viz obr. 6.7). Mikropočítače řady 52 mají šest zdrojů přerušení.

Vnější přerušení $\overline{\text{INT0}}$ a $\overline{\text{INT1}}$ mohou být vyvolána buď úrovní nebo hranou v závislosti na bitech ITO a IT1 v registru TCON (viz obr. 6.10 a tab. 6.17). Nastavený příznak přerušení se nuluje hardwarově jen tehdy, jestliže přerušení bylo vyvoláno změnou logické úrovně.

Vnitřní přerušení od čítačů/časovačů 0 a 1 jsou vyvolány signály TFO a TF1 (registru TCON), které se nastaví do úrovně log.1 v případě, že přeteče odpovídající čítač/časovač. Jestliže přerušení vyvolá časovač, je příznak přerušení vynulován hardwarově vlastním mikropočítačem v okamžiku, kdy začne odpovídající obslužný program přerušení.

Vnitřní přerušení od sériového kanálu se generuje logickým součtem (OR) signálů RI a TI (viz registr SCON v obr. 6.7 a tab. 6.14). Žádný z těchto příznaků se nenuluje hardwarově při spuštění odpovídajícího obslužného programu přerušení.

Všechny bity generující přerušení se mohou nastavit nebo nulovat softwarově s tímž výsledkem jako kdyby byly nastaveny nebo nulovány hardwarově. Každý zdroj přerušení může být povolen nebo zakázán nastavením nebo nulováním příslušného bitu v registru povolení přerušení EI. Mohou být též zakázána všechna přerušení najednou bitem EA v registru EI.

Prioritu přerušení do jedné ze dvou úrovní může uživatel naprogramovat nastavením nebo vynulováním příslušného bitu v registru IP. Právě probíhající přerušení s nižší prioritou může být samo přerušeno přerušením s vyšší prioritou. Přerušení s vyšší prioritou nemůže být samo přerušeno zdrojem přerušení s nižší prioritou. Jsou-li přijaty současně dva požadavky o přerušení s různou prioritou, je nejdříve obslouženo to, které má vyšší prioritu. Mají-li obě

shodnou prioritu, pak jsou přijímána v pořadí: $\overline{\text{INT0}}$, čítač/časovač 0, $\overline{\text{INT1}}$, čítač/časovač 1, sériový kanál.

Časovací a řídicí obvody s dekodérem instrukcí mají shodnou funkci jako u mikropočítačů řady 48.

Booleovský procesor je bitový procesor sloužící k rychlé manipulaci s jednotlivými bity. Je součástí mikropočítačů řady 51, má svůj vlastní soubor instrukcí, střádač (příznak přenosu C), bitově adresovatelnou vnitřní paměť RAM a vstupy a výstupy.

Instrukce, které pracují s jednotlivými bity, je mohou nastavit do hodnoty log.1, komplementovat, provádět větvení programu podle jejich hodnoty, přesouvat hodnotu bitu z nebo do střádače C. Adresovatelné bity mohou být logicky sečteny nebo vynásobeny s obsahem C, v němž je rovněž uložen výsledek.

6.3.3 Instrukční soubor

Úplný instrukční soubor lze rozdělit do tří skupin

1. instrukce vykonávající jen přesun dat mezi registry, pamětí a registry, registry a I/O
2. instrukce uskutečňující úpravu dat jsou aritmetické a logické operace. Navíc proti řadě 48 má mikropočítačová řada 51 instrukce pro odčítání, násobení, dělení a operace s Booleovským procesorem
3. instrukce pro větvení programu jsou podmíněné a nepodmíněné skoky, volání podprogramů a návraty

Instrukce mohou být jedno až tříbytové. Instrukční soubor je ve srovnání s řadou 48 poněkud jednodušší, neboť řadu funkcí lze snadno realizovat změnou bitů ve speciálních funkčních registrech.

6.3.4 Časování mikropočítače

Shodně s mikropočítači řady 48 je činnost rozdělena na instrukční cyklus, strojový cyklus a na operační krok.

Strojový cyklus tvoří 12 period oscilátoru, tedy při použití krystalu 12 MHz přesně $1 \mu s$. Těchto 12 period vytváří šest taktů T1 až T6. Každý takt je tudíž tvořen dvěma periodami oscilátoru, z nichž první se nazývá fáze 1 (P1) a druhá fáze 2 (P2). Každý strojový cyklus tak začíná periodou T1P1 a končí periodou T6P2. Aritmetické a logické operace probíhají během fází P1 a přenosy mezi registry během fází P2.

6.3.5 Funkce mikropočítačů řady 51

Základní funkční rozdíly oproti řadě 48 byly popsány v předcházejících kapitolách.

Určité rozdíly jsou i v režimu se sníženým příkonem. Návrat z něho je možný jen prostřednictvím signálu RESET. Tento signál definuje obsah speciálních funkčních registrů, avšak obsah vnitřní paměti dat RAM zůstane zachován.

Hlubší znalosti lze získat studiem lit. /1/, /2/ a /22/.

6.4 Podpůrné programovatelné obvody

V tomto odstavci budou popsány tři obvody umožňující podstatným způsobem rozšířit I/O linky.

6.4.1 Programovatelný obvod pro paralelní vstup/výstup (PPI) - MHB 8255

Obvod PPI (Programmable Peripheral Interface) je programovatelný víceúčelový obvod pro připojení vstupních a výstupních zařízení k mikroprocesoru, mikropočítači apod. Obvod má 3 osmibitové brány (24 vývodů) pro připojení vnějších zařízení, které lze naprogramovat ve dvou skupinách po 12 a mohou pracovat ve třech režimech. Funkční vlastnosti obvodu jsou programovatelné.

Obvod je charakterizován následujícími údaji:

- 24 programovatelných vývodů